CAMAC Logic Delay RPC-091(REPIC) についての報告

吉田 英智

平成11 年 7 月 8 日

概 要

1998 年 6 月に、LAS の Scintillator の TDC 用 Logic Delay として、RPC-091(REPIC) を採用したが、1998 年 7 月の実験で、この Logic Delay に起因すると思われる Time Jitter が観測された。この原因を確かめるため Module のチェックを行なった。この結果、
(A) 隣合う Channel に同時に信号が通る時に起こる Time Jitter
(B) 同じ Channel に短い時間間隔で連続して信号が通る時に起こる Time jitter
の 2 パターンの Time Jitter があることが分かった。

A については、ECL 入力の module 全てに共通するものであり、ns order よりいい分解能が要求される場合、1 Channel 置きに使用する等の対処が必要になる。1 Channel 置きで使用した場合、200 ps 以下程度まで Jitter 幅が改善される。

B については、今回使用した、1 us Delay の場合、Jitter 幅が ± 8 ~ 12 ns にもなり、また影響を受ける範囲は次のパルスが 1 us 以内に入ってきた時全体に渡っていた。。Delay Time が大きいほど、Jitter 幅が大きく、Event Rate にも弱いと思われる (今回直接比較は行なっていない)。いままで、GR 側には、300 ns Delay の RPC-091 を使用してきたが、Event Rate にもよるが、この影響は出ていないものと思われる。1 us Delay をさせる時は、連続的に接続した Logic Delay 200ns Delay 5 個 での使用、また、Cable Delay と Discriminater の組合せの使用が望ましい。

LAS での使用を考えた場合、2nd FPP 使用時、Scintillator で、位置を出すことが重要となり、また、かなり Event Rate を高くした実験で用いることも分かっているので、Cable Delay と Discriminater の組合せの使用を改めて採用した。

1 隣合う Channel に同時に信号が通る時に起こる Time Jitter

これは、ECL 入力の module 全てに共通するものであり、隣合う Channel だけでなく、ECL ドライバーの共通の IC を通る信号が近いタイミングで通過した時、Time Jitter が起こる。すでに、購入時には、この不具合は判明していたので、当初から、1 Channel 置きで使用している。

REPIC RPC-091 についての報告は、1998 年 5 月に Delay が 300ns のものについて大林氏の報告 (miho:/home/hidetomo/RCNP/Work/Kairo/rin1_obayashi) がある。また、この他、LeCroy 3420(CFD) などの民井氏、川畑氏の調査結果が DAQ notebook No.3 に記してある。(後日まとめる予定なので、ここでは、回路については割愛する。)

1998 年 7 月の実験の際、これから予想される Jitter 幅を越えた範囲のものが出てきたため、今回使用した REPIC RPC-091 1 us Delay でもう一度チェックをしてみたが、ほぼ同様であった。

1.1 現象

Fig.1 のように、S1 と S2 の経路があった時、S2 に信号がない場合 Fig.1(a) と、S2 の信号がある場合 Fig.1(b) で、S1 の立ち下がり時間に変化がある。Fig.1(a) の S1 の立ち下がり時間を

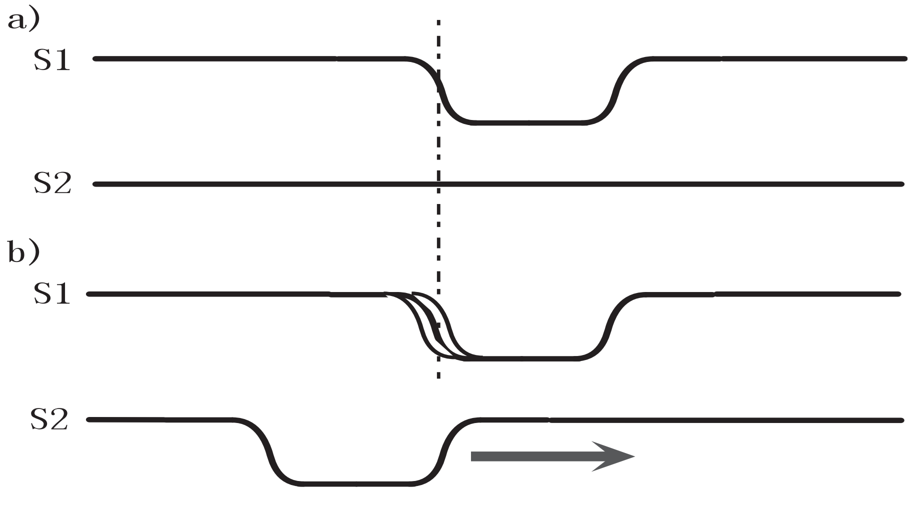


図 1: S1 の信号に対し、S2 の信号がない場合 (a) と比べ、S2 の信号が S1 の信号の立ち下がり付近のタイミングで通過すると (b)、S1 の立ち下がり時間が Jitter する。

基準にとった時、Fig.1(b) のとき、S2 の立ち下がり、または、立ち上がりが、S1 の立ち下がりと重なった時もっともずれ幅が大きい。

ECL 入力の module では、通常 4ch 単位で共通の ECL ドライバーの IC を用いており、S1、S2 を同じ IC を通る信号を選んだ時、この現象が現れ、特に隣合う Channel 間だと Jitter 幅は大きく±200 ps 程度となる。。また、違う IC 間でも、若干 Jitter が見られる場合もあるが、Jitter 幅は±100 ps 以下におさまる。REPIC RPC-091、LeCroy 3420(CFD) といった module で調べた Time Jitter 幅を、Table 1 に示してある。

表 1: 信号の選び方による Time Jitter 幅

S1, S2 の選び方		Jitter 幅	典型的な値
同一 IC 間	隣の channel	±150 ~ 350 ps	±200 ps
	1 channel 置き	±100 ~ 200 ps	±100 ps
	2 channel 置き	± ~ 120 ps	±50 ~ 80 ps
異なる IC 間	任意	± ~ 100 ps	±50 ps

Table 1 の値は、その他の ECL 入力の module についてもほぼ同様であるが、phillips の ECL-NIM converter は、これよりもさらに大きな影響を受けているようで、(同じ IC の) 隣の channel 間で、1ns 以上になる場合も多い (ものの個性によって違いも大きい)。

1.2 原因、対処

オシロスコープで観察してみると、Fig.1(a) の場合でも、S1 の信号のタイミングの S2 側に Close Talk によるものと思われるベースラインの乱れがあり、さらに、これが、S1 の信号の立ち下がりと立ち上がりに対応するタイミングで波が大きくなっていることが分かる。この Close Talk による波自身は、大きくてもせいぜい 十数 mV 程度で、(Discri. レベルを適切にしてい

れば）新たな信号を生成するほどのものではないが、この波ができているタイミングに、信号の立ち下がりが重なることで、信号の立ち下がりのずれが生じているようである。

さらに、この Close Talk の発生の原因は、ECL ドライバーが共通の IC を使うことに起因しており、SPring 8 のグループからも指摘されており、林栄から、改善を試みるとの報告を受けた（1998 年 11 月）。改善の手段として、IC への電源の取り回しを見直す、ECL ドライバーを各 Channel １つの IC でになう等が上げられている。（非公式だが、前者については、うまくいかなかったと伝え聞いている。）

また、時間情報が必要な部分には、phillips の ECL-NIM converter は不適切であるが、その他の module については、通常の実験では、Table 1 から分かるように、1 channel 置きで使用することで問題は解決される。

2 同じ Channel に短い時間間隔で連続して信号が通る時に起こる Time jitter

これは、1 つの channel にある時間間隔で連続して 2 つの信号が入った場合に生じる問題で、２つの現象がある。

(B-1) 2 つの信号がある時間間隔以内で通ると、後ろの信号の出力がない。
(B-2) 2 つの信号がある時間間隔以内で通ると、信号の Delay 時間が変わる。

(B-1)、(B-2) いずれについても 1998 年 6 月に購入し、1998 年 7 月以降、LAS の TDC の Delay として使用している 1us Delay chip の入った REPIC RPC-091 で調査した結果明らかになった。（問題が明らかになった 1998 年 12 月以降 TDC の Delay としての使用はやめている。E125 π production では、Cable Delay を使用。）

すでに、GR の TDC 用の Delay として、RPC-091(REPIC) は標準利用されているが、Delay chip は、300ns であり、影響時間幅は、Delay 時間と直接関係していると思われ、300ns では、問題になっていない。

2.1 現象

2.1.1 信号の出力がない問題（B-1）

1us Delay chip の入った REPIC RPC-091 の場合 channel 間によっての個性が大きいが、２つめの pulse が大体 50～200ns 後に入った場合、後ろの信号の出力がない。典型的には 140ns 程度までが不感領域である（20ns のパルス幅の場合）。NIM 入力の 200 ns Logic Delay を比較のため調べてみたが、不感領域は、40ns 弱程度迄だった。

2.1.2 Delay 時間が変わる問題（B-2）

これは、ある信号が入るある時間差以内の前後（前の方は詳しく調べていない）に信号が入るとその Delay 時間が変わってくるというものである。詳しい調査方法は後で述べるが、調査の結果、Fig.??のようなデータを得た。Fig.2TD5456、Fig.3TD5456、TD7072 は、連続した信号を Logic Delay(RPC-091) に通した時の前と後ろの信号の時間差の変化を横軸に、前の信号の時間情報を縦軸に取っている。図はデータを Channel のまま表示して（約 0.59 ns/ch）いるが、これから、Jitter 幅が ± 8～12 ns にもなっていること、影響が Delay Time 全体 (1us) に

及んでいることが分かる。また、特に影響が大きいのは、150 ns 前後と 1 us 前後付近である。

2.2 原因

原因は、チップ内の信号のなまり具合によるものと思われるので、信号が出ない (B-1) ような不感領域時間は Delay 時間が長いほど平均的には長くなるのであろう。

信号の Delay 時間が変わる (B-2) のは、チップ内の信号のなまり具合に加え、チップ内の信号の通り方にも依存しているものと思われる。Fig.3TD5456、TD7072 いずれも、400ch 付近と 1700ch 付近で変化が激しい。1700ch 付近は、ちょうど時間差が、1 us となる当たりなので、これは module 内での Close Talk 的な影響を受けているのではという推測が立つ。Jitter 幅野大きさは、なまり具合の影響で決まっていると思われるので、Delay 時間が長いほど大きくなると思われる。

チップが 300 ns の場合と 1us の場合と比べてテストするともっとはっきりしたことがいえるはずだが、 今回、直接比較は行なっていない。

2.3 対処

所詮、TDC の Gate(range) 内に 2 つの pulse 入力があっても、初めの時間情報しかデータとして存在し得ない。しかし、accidental な信号が Gate の開く前に入ると、Gate 内には true の信号しかなくても、データがとれないことになる。その不感領域が 140ns 程度 (400MeV proton の場合、2 Banch 以上) というのは、Event Rate によっては、影響が大きくなる。

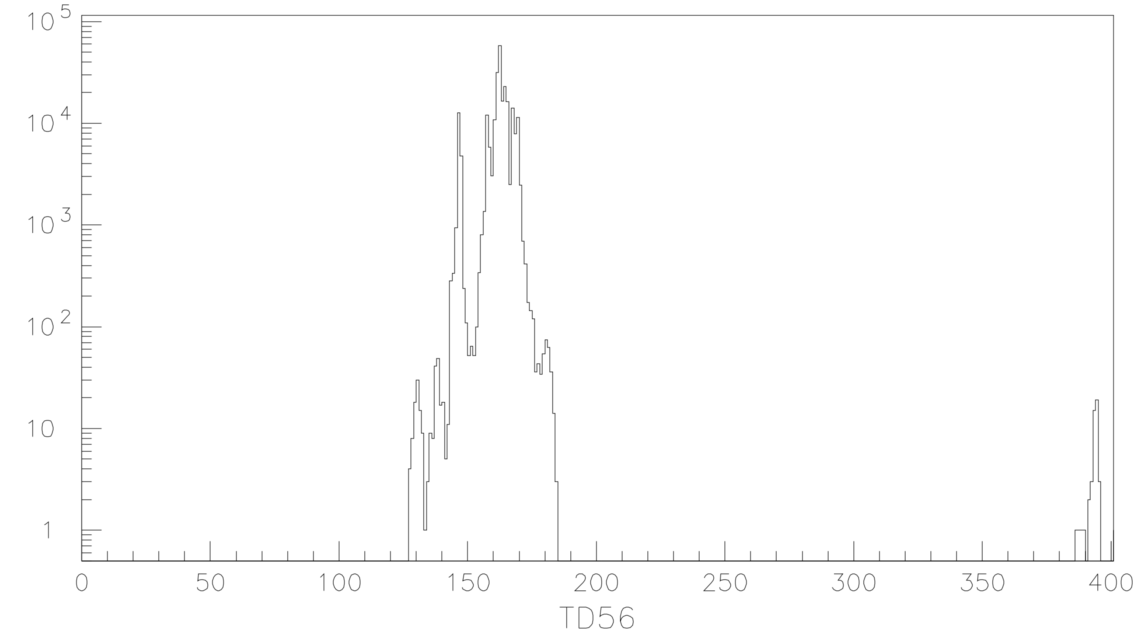
原因がなまり具合によるものと考えると、この 2 つの現象は、Delay 時間が長いほど影響が大きいはずで、GR 側で使用の 300ns Delay chip の場合と比較して考えてみる。不感領域については、1 us Delay で 140 ns、(NIM の Logic Delay だが) 200ns Delay で、40ns 弱程度と考えると、どういう関数に近似できるかにもよるが、300ns Delay では、せいぜい 60ns 弱程度と推測できる。RF の最短周期は 60 ns だが、Channel 間の個性も大きいので、これで、十分というわけではなく、Scintillator で出す位置情報が不可欠のような実験がある場合は、個々の Channel のチェックが必要となる。Delay 時間の変化については、単純に言って、accidental な信号が入ってくる確立が 3/10、Jitter の時間幅についても、1/4 ~ 1/2 が期待される。しかし、これでも、Scintillator で出す位置情報が不可欠のような実験がある場合は、十分とは言えない。

しかし、現実の GR での Single の Event Rate は最高でもせいぜい 30 Kcps 前後で、単純に言って、300 ns の Delay 時間に accidental な信号が入ってくる確立は、1 % 弱となり、問題となっていなかったと思われる。逆に、LAS では、Single の Event Rate が、100 ~ 200 Kcps でとる時もあり、この場合、1 us の Delay 時間に accidental な信号が入ってくる確立は、10 ~ 20 % となり問題となる。

いずれにしても、1us の Delay chip 使用の RPC-091 では、Event Rate が 10 Kcps 以下でないと実用に絶えないと思われる。1us Delay chip 使用の RPC-091 4 台は Delay chip を交換可能であるので、200 ns、300ns Delay chip に交換して使用することは可能である。

2.4 テスト方法

Delay 時間が変わる問題について、具体的にデータを取ってチェックした。Fig.4 のように時間差が D だけある 2 つの信号と、その OR の信号とを用意し、これら 3 種類の信号のデータを取った。(data:run3301.gr,run3302.gr,run3401.gr,run3402.gr) パルスの幅は、40ns 程度であった。



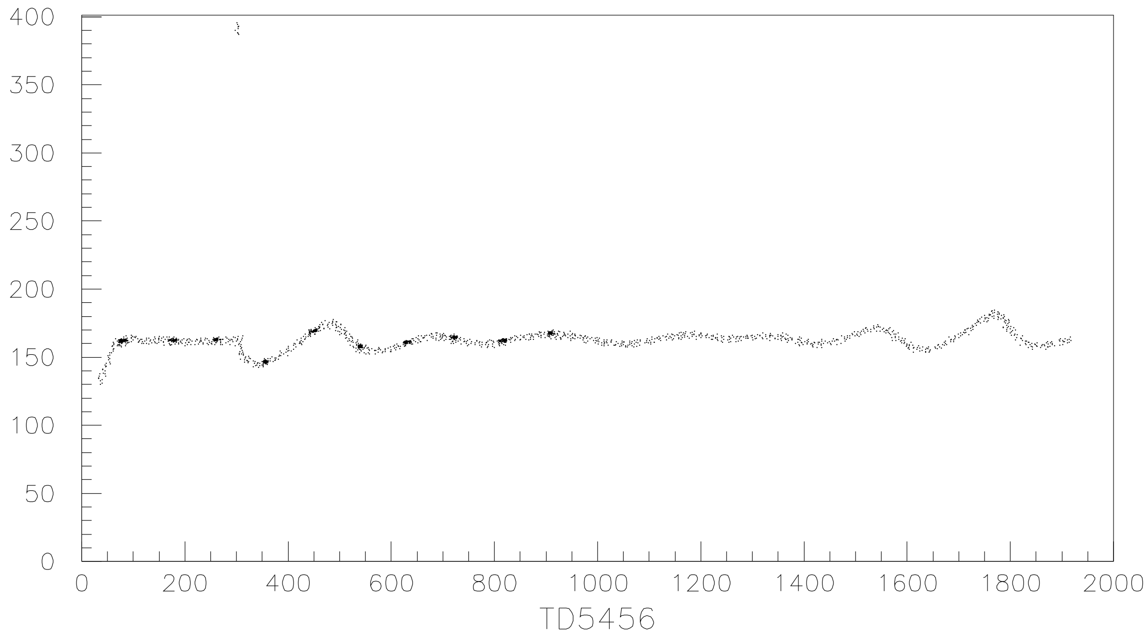
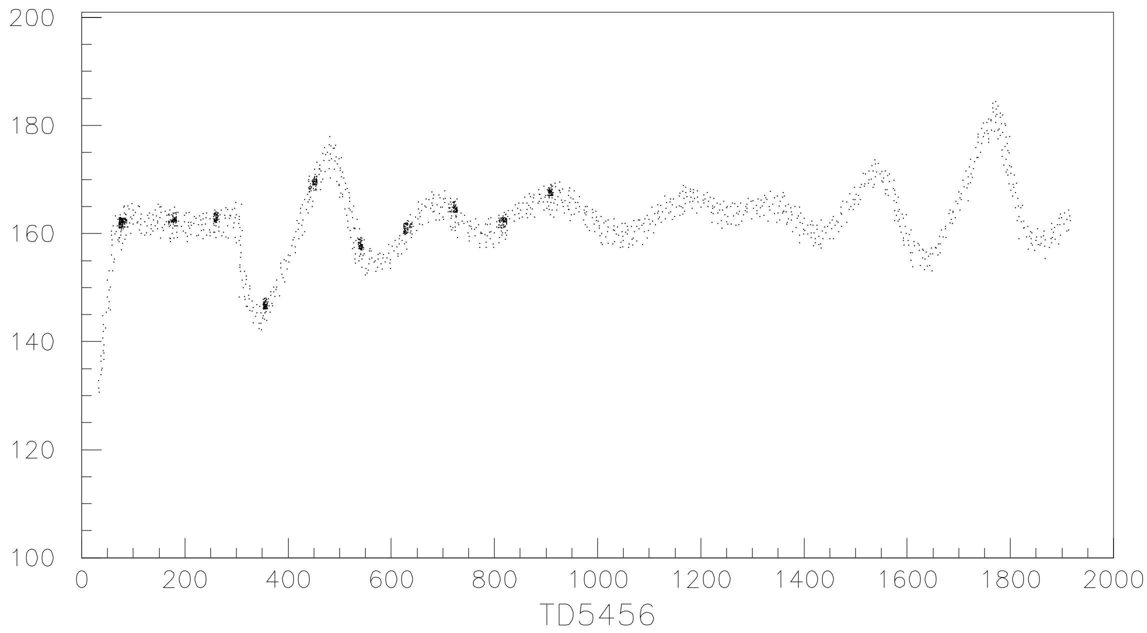


図 2: 連続して信号が通過した時の前の信号の時間変化 (run3301)。約 0.59 ns/ch [TD56] 前の信号の時間情報、[TD5456] 横軸:前と後ろの信号の時間差の変化、縦軸:前の信号の時間情報



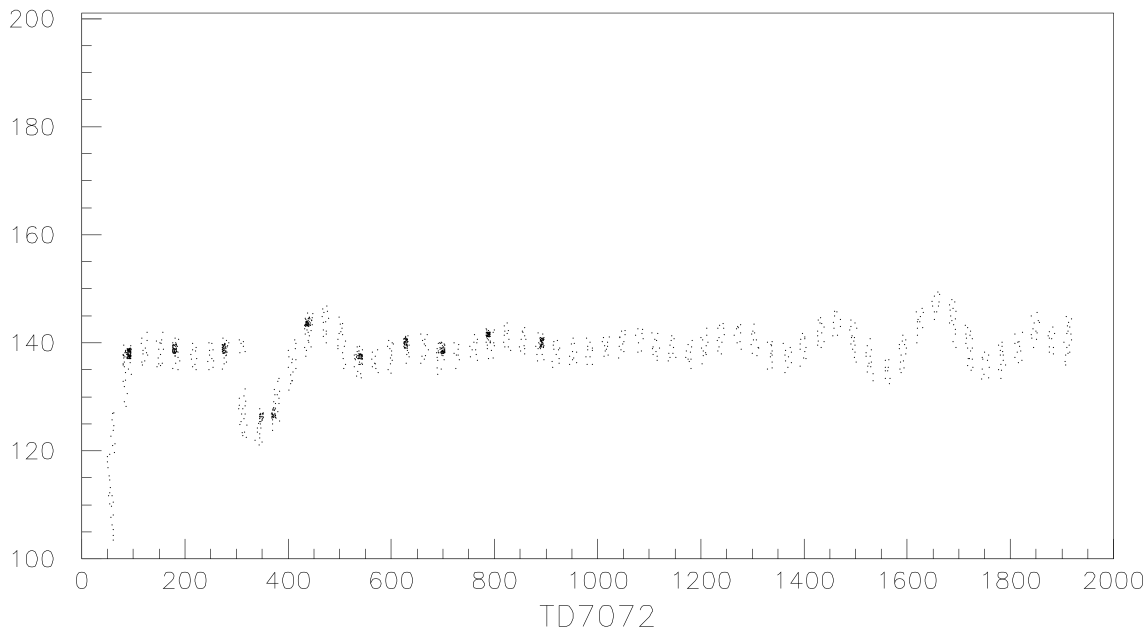


図 3: 連続して信号が通過した時の前の信号の時間変化 (run3301)。約 0.59 ns/ch Channel 間の個性を見るため同じ信号を別の Channel に通して調べた。[TD5456] 横軸:前と後ろの信号の時間差の変化、縦軸:前の信号の時間情報 [TD7072] 横軸:前と後ろの信号の時間差の変化、縦軸:前の信号の時間情報

回路の略図は、Fig.5。run3301, run3302 では、Fig.5 の"Set I" を２セット（Delay の後まで同じ信号、FIFO で分岐）、run3401, run3402 では、"Set I","Set II" を１セットづつで行ない、Cable Delay との比較を行なった。データの full range は、run3301, run3302 では、1200ns(per 2048 channel, 約 0.59 ns/ch) で run3401 では、1340ns (約 0.65 ns/ch) 、run3402 では、400ns(約 0.20 ns/ch) であった。

Fig.3 ~ 7 (eps/td5456_a ~ e.eps) において、td5456 は、横軸に data 54(Signal B)、縦軸に data 56(Signal C)、td7072 は、横軸に data 70(Signal B)、縦軸に data 72(Signal C) を取ったものである。

まず、run3301 のデータでは、Fig.3 (eps/td5456_a.eps) において、横軸の変化が、Fig.1 の D の変化に相当する。Fig.3 の横軸の 200 ch 前後の縦軸の値は 162 ch、縦軸 345 ch では横軸 144ch 程度であることが分かる。全体的に ± 12ns の Delay 時間の変化を生じている。一番変化の激しいのは、D = 160ns 前後と 1us 前後である。この値は、それぞれ連続パルスの不感領域の終りと IC の Delay 時間と一致しており、IC のチップ内で、この不具合が生じていことが推測できる。Fig.4 (eps/td5456_b.eps) で、他の channel でもほぼ同程度の変化があることが分かる。

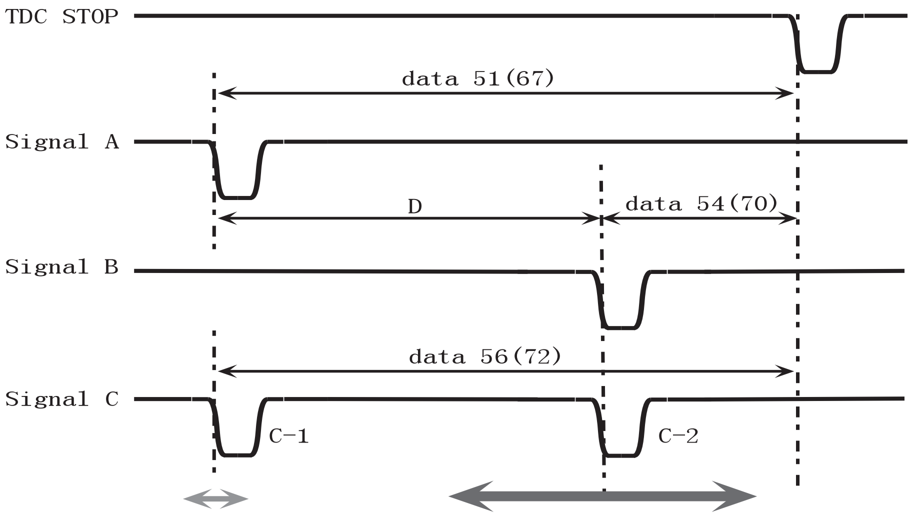


図 4: Delay 時間の変化を調べた時の信号の入れ方

Fig.6 (eps/td5456_c.eps) は、run3302 のデータで、このとき Signal C は、A, B の OR ではなく、A のみである。また、データには落していないが、Signal C を B のみにした相関も取った (Fig. 9)。この２つの図と、Fig.2 とを比較することで、この原因が RPC-091 のみに起因することを示そうとしたが、これでは、OR を取っている FIFO の通し方が違うため、Close talk の可能性を考えると一概には言えない。しかしながら、オシロスコープで CFD 直後をチェックしたところ、Fig.5 の"Set I" での Fig.2 で見えるような Delay 時間の変化は見えなかった。

上記の点を明らかにすることと改善の方法の考慮という点から、Fig.5"Set I" と"Set II" の比較を行なった (run3401、run3402)。Fig.?? において、td5456 が RPC-091 を使った場合、td7072 が Cable Delay を用いた場合である。 run3301 と run3401 の td5456 において、± 100ns 前後付近の様相が異なるが、これは、run3301 では、不感領域として、後ろのパルスが出力されていなかったが、run3401 では、出力があり、この違いが、run3401 の場合、悪影響を及ぼしているのではないだろうか？

なぜ、出力に違いが出たかであるが、後に述べる td7072 との比較から、（前段の）CFD 以

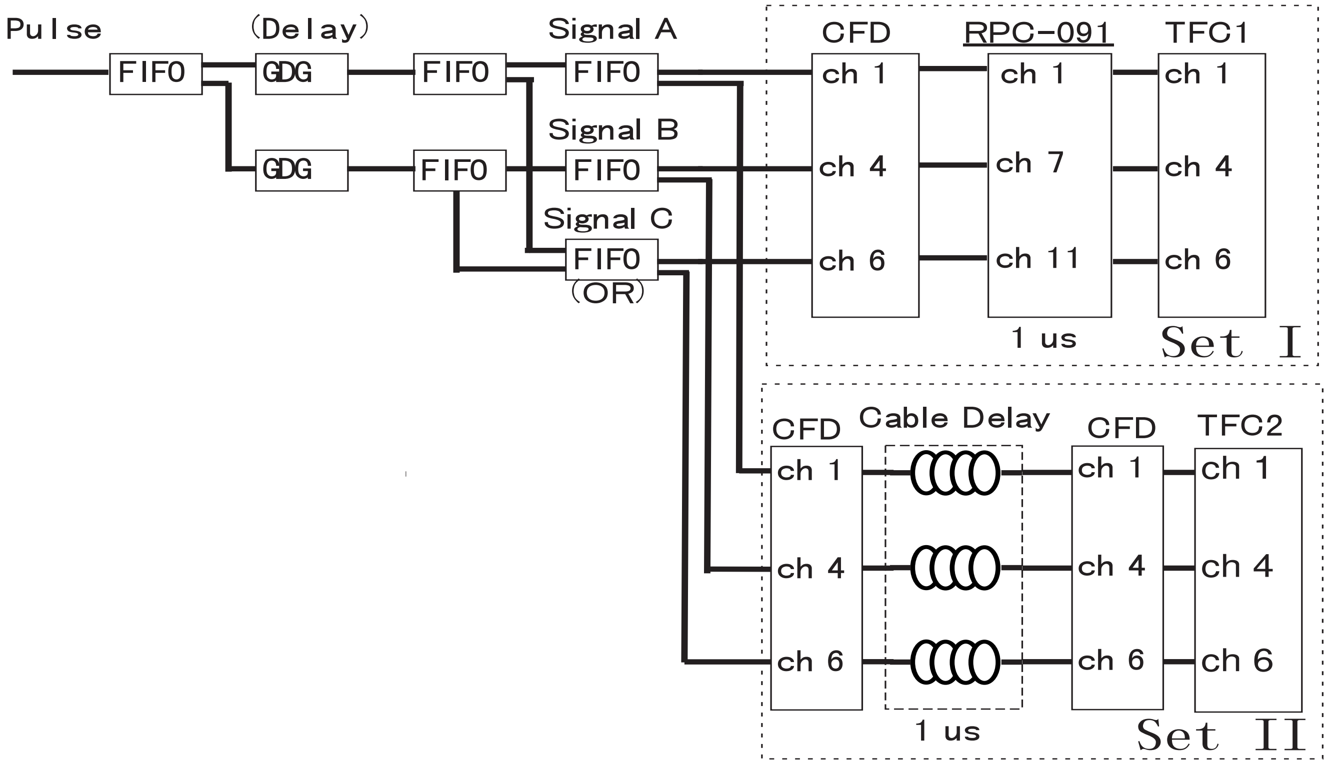


図 5: Delay 時間の変化を調べた時の回路図

前が原因ではないことは明らかである。回路は、組み直したので、パルス幅が若干変わった影響があると考えるのが一番妥当である。

ここで、Fig.7 における td5456 と td7072 との比較だが、Cable Delay を使用した Fig.5 の"Set II" では、飛躍的に改善されているのは明らかである。ここでは、ns オーダー未満の Delay 時間の変化しか見受けられなかった。

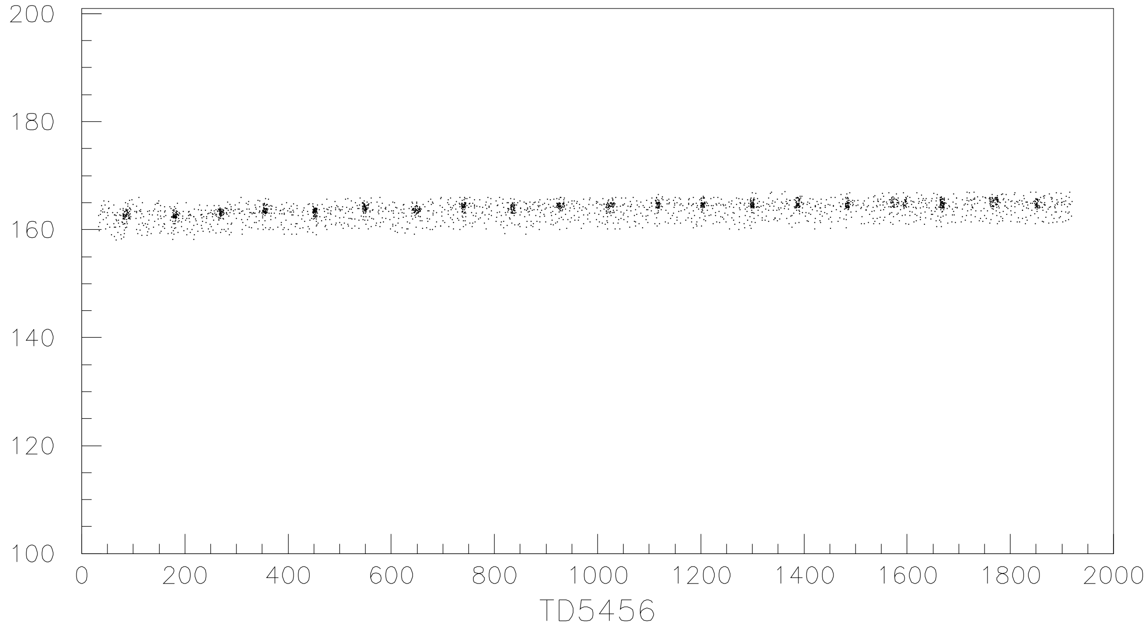
3 結論

以上の結果から、Delay 時間の変化の問題 (B) の観点から言って 1us Delay chip 使用の RPC-091 は、高分解能の TDC データを必要とする際は、不適であり、ns 未満の分解能が必要であるならば、Cable Delay を利用することが、有効であると判断できる。また、Close talk(A) から言っても高分解能の必要性があれば、ECL 入力の module は、不適切ともいえる。

GR 側で、使用の RPC-091 は、300ns Delay chip であり、この Delay 時間の差からと、Event Rate の低さや、分解能が要求されていなかったことから、問題になっていなかったと思われる。それでも、やはり影響は残っているはずであるが、その調査は行なっていない。 また、1us Delay chip 使用の RPC-091 4 台は Delay chip を交換可能であるので、通常の使用においては、200 ns、300ns Delay chip に交換して使用すべきであろう。

いま、LAS 側の検出器として開発中の 2nd FPP (仮称) は、TDC の高分解能が要求されるため、TDC の Delay として、Cable Delay を採用することになった。この Cable Delay について、今まで、標準使用の 58CU より周波数特性の良い 3D-FB が購入可能ということで、これについても調査を行ない 3D-FB を採用した。詳しい調査の内容は、別にまとめる (miho:/home/hidetomo/RCNP/Work/Kairo/3DFB.ps)。

図 6:


200
180
160
140
120
100
0
200
400
600
800
1000
1200
1400
1600
1800
2000
TD5456

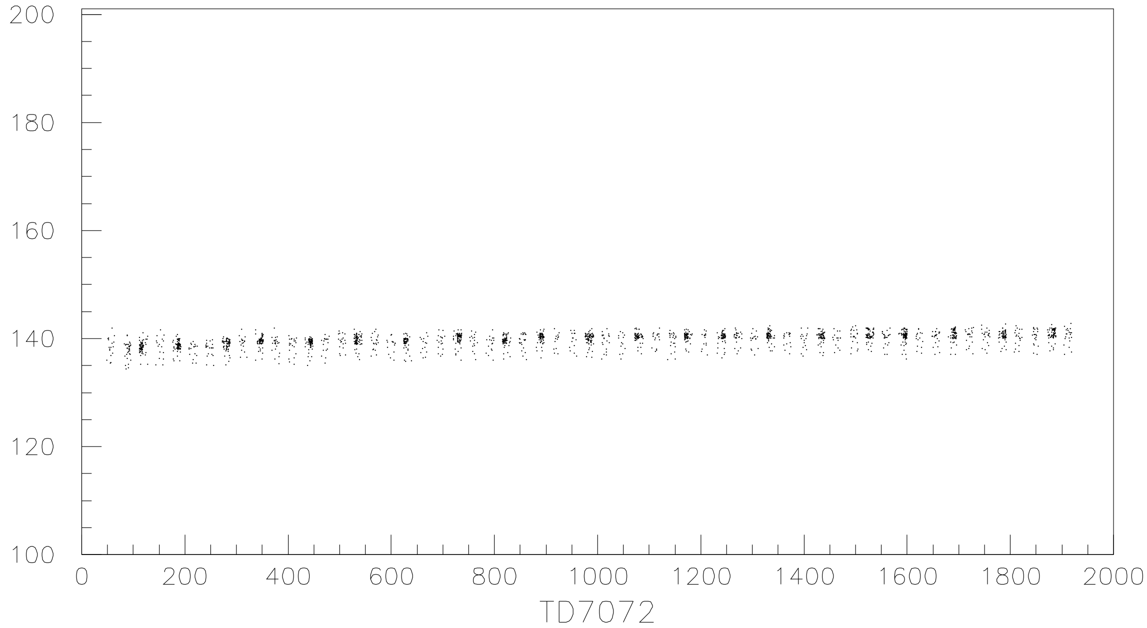
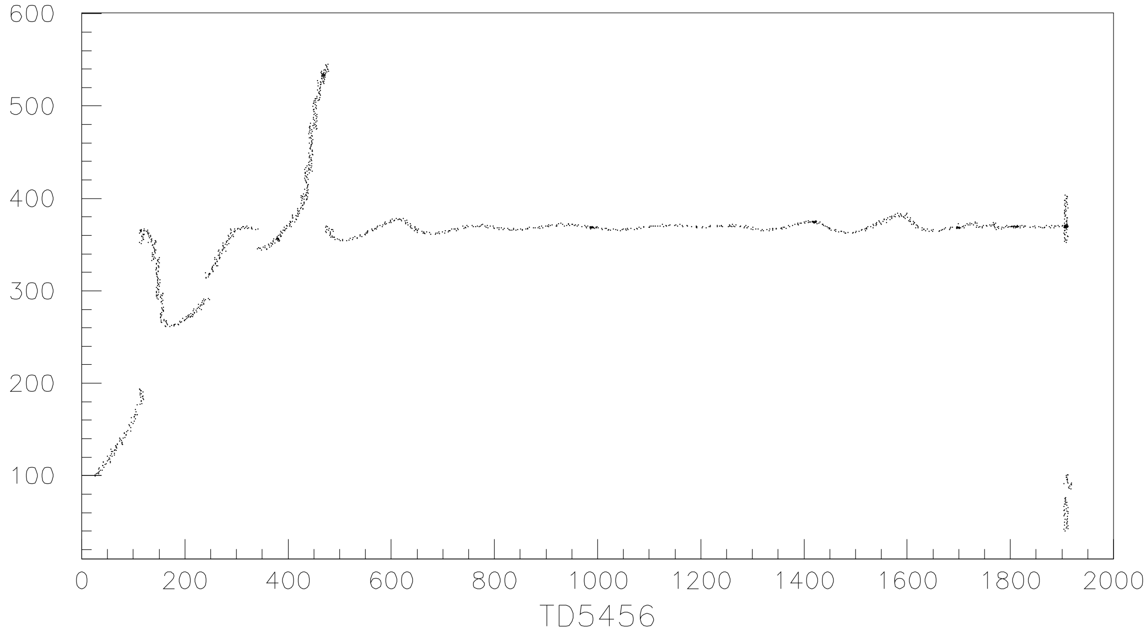

200
180
160
140
120
100
0
200
400
600
800
1000
1200
1400
1600
1800
2000
TD7072

図 6:


600
500
400
300
200
100
0
200
400
600
800
1000
1200
1400
1600
1800
2000
TD5456

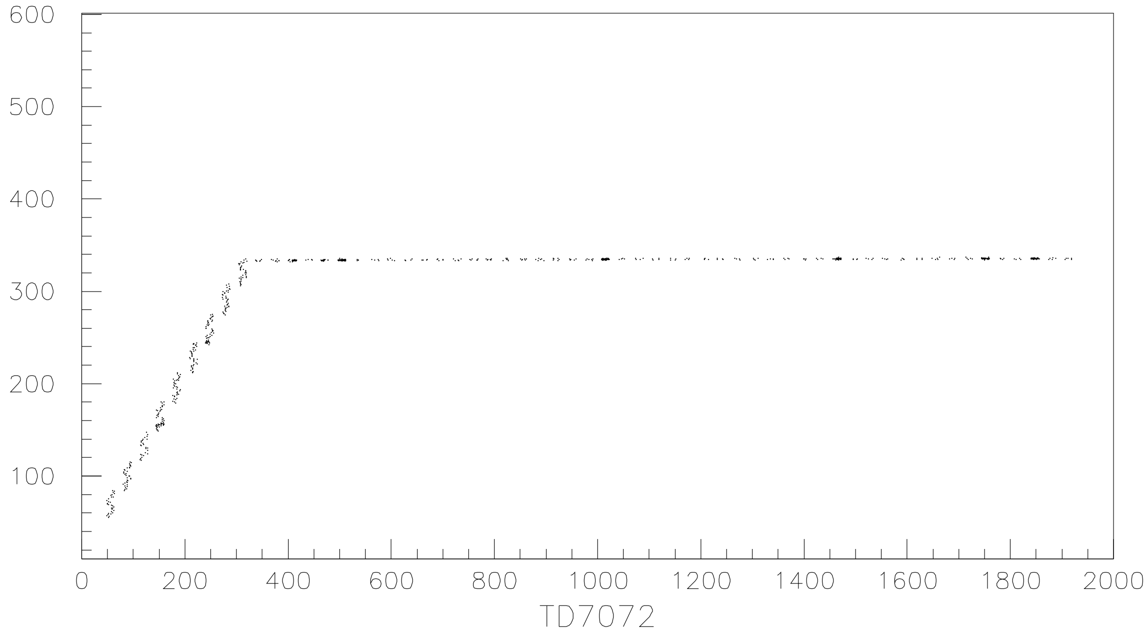
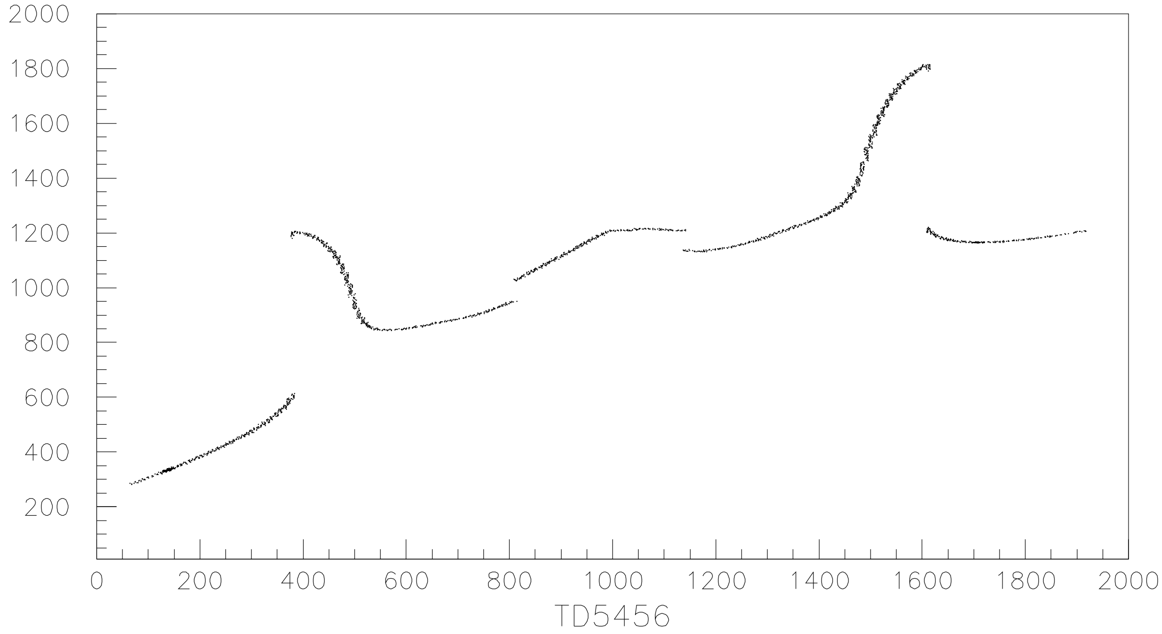
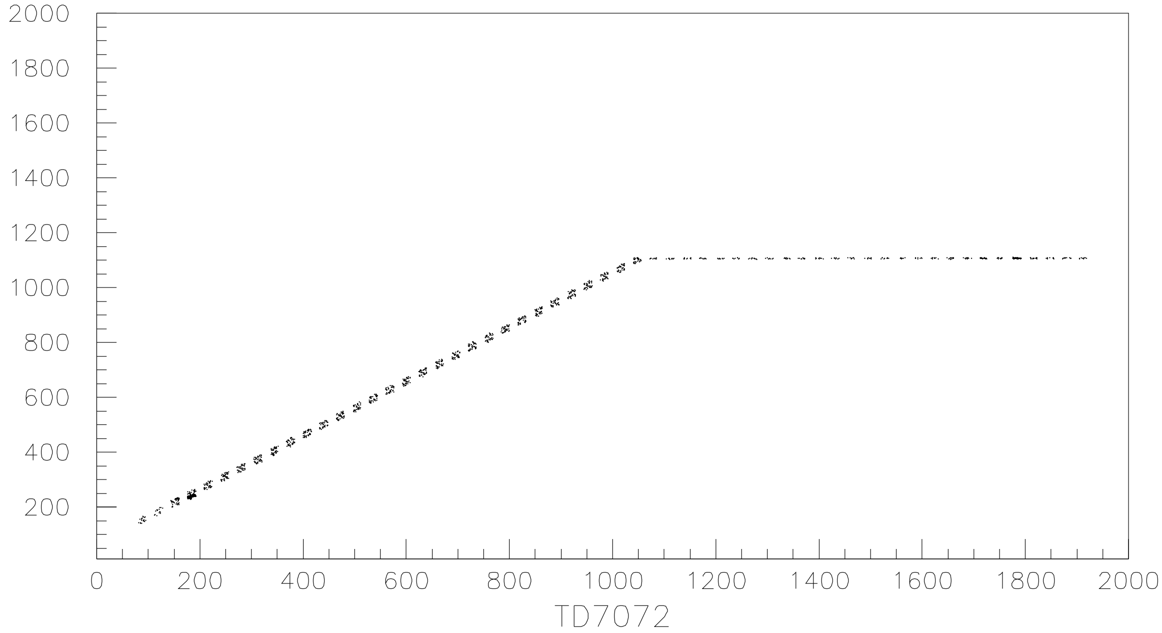

600
500
400
300
200
100
0
200
400
600
800
1000
1200
1400
1600
1800
2000
TD7072

図 7: Fig



2000
1800
1600
1400
1200
1000
800
600
400
200
0
200
400
600
800
1000
1200
1400
1600
1800
2000
TD5456



2000
1800
1600
1400
1200
1000
800
600
400
200
0
200
400
600
800
1000
1200
1400
1600
1800
2000
TD7072

図 8: Fig