修士論文

ドリフトチェンバー用読み出し回路 ASAGI ASDカードの性能評価

大阪大学 大学院理学研究科 物理学専攻 山本勇次

2023年3月22日

我々は、J-PARC ハドロン実験施設の π20 ビームラインにて、チャーム・バリオン分光 実験(J-PARC E50 実験)を計画している。実験では、大強度 π⁻ ビームを液体水素標的 に照射し、 $\pi^- + p \rightarrow D^{*-} + Y_c^{*+}$ 反応によってチャーム・バリオン (Y_c^{*+}) を生成する。 D^{*-} の崩壊モード $D^{*-} \to \overline{D}^{0} \pi^{-} \to K^{+} \pi^{-} \pi^{-}$ から $K^{+} \wr \pi^{-}$ を検出し、 D^{*-} の四元運動量を再 構成することで、Missing Math 法によって Y_c^{*+} の質量スペクトルを測定する。 K^+ と π^- の飛跡を検出するためにドリフトチェンバーを用いる。ドリフトチェンバーの信号を読み 出す回路として、ASD(Amplifier Shaper Discriminator) カードを使用する。ASD カード はドリフトチェンバーの電気信号を増幅し、波形を整形し、設定した閾値電圧を越えた信 号に対してデジタル出力する。E50実験では、Belle Ⅱ実験用に開発された AGASA ASIC チップを用いた新しい ASD カード、ASAGI ASD カードを開発した。ASAGI ASD カー ドは、使用するドリフトチェンバーの構造やガスのゲインに合わせて電気信号の増幅量や 波形の整形時間といったパラメータを一定の範囲内で変更することができる特徴を持つ。 本研究では、試作の ASAGI ASD カードを製作し、性能評価としてテスト用ドリフト チェンバーに繋ぎ、β線源を用いた試験とSPring-8において電子ビームを用いた試験を 行った。各 layer の検出効率 99 %以上、位置分解能 141 ±2 μm、トラッキング効率 84.5 ±0.2 %のトラッキング効率が得られた。これらの値は、先行研究として GNA-200 ASD カードを使用した際の値と比べ、同等の検出効率であり、位置分解能は少し上回る形と

なった。Ar:CO2(90:10) ガスを用いたドリフトチェンバーにおいて ASAGI ASD カードが 十分な性能を発揮することを確認した。

目 次

第1章	序論	6
1.1	ハドロン物理学	6
1.2	チャーム・バリオンとダイクォーク相関	6
1.3	チャーム・バリオン分光実験 (J-PARC E50 実験)	7
1.4	高運動量ビームライン	7
1.5	チャーム・バリオン・スペクトロメータ	7
1.6	ドリフトチェンバー	8
1.7	本研究の目的	9
第2章	ASAGI ASD カード	11
2.1	デザインと性能	12
2.2	パラメータ設定方法	16
第3章	ASAGI ASD カードの性能試験	20
3.1	研究目的	20
3.2	テスト用ドリフトチェンバー	20
	3.2.1 構造	20
	$3.2.2$ $\#$ π	22
3.3	テストパルスによる動作確認	23
3.4	線源を用いた動作確認とパラメータの選定	28
3.5	ビーム試験のセットアップ	34
3.6		35
	3.6.1 検出効率導出のためのトリガーカウンターの解析	36
	3.6.2 ASAGI ASD カード 阈恒電圧の決定	40
	3.6.3 使出効率とフフトーカーフ	42
0.7	3.0.4 トフッキンク解析と快出効率 <td>44</td>	44
3.7		52 52
3.8	1.1.1.1.1.1.1.1.1.1.1.1.1.1.1.1.1.1.1.	53 C1
3.9	与涂	01
第4章	本研究のまとめ	72
付録Δ	最小二乗法による直線近似	74
A.1	近似直線の係数と誤差	74
A.2	テスト用チェンバーへの適用	76

図目次

1.1	チャーム・バリオンの励起の模式図7
1.2	チャーム・バリオンの生成反応 8
1.3	チャーム・バリオン・スペクトロメータの概要図
1.4	ドリフトチェンバーのセル構造 10
2.1	ASAGI ASD 回路 1ch 分の構成図
2.2	CSAとPZCの概略図13
2.3	SHP の概略図
2.4	ASAGI ASD カード ver.1.0 の写真
2.5	FPGA cotrol board
3.1	テスト用チェンバー概略図
3.2	テスト用チェンバーのワイヤ構造22
3.3	Ar+CO ₂ における電場と電子のドリフト速度の関係
3.4	ASAGIのアナログ出力の例1
3.5	抵抗 R 容量 C の接続数とその波高
3.6	抵抗 R 容量 C の接続数とその信号幅
3.7	ASAGI のアナログ出力の例 2
3.8	ASAGI のアナログ出力の例 3
3.9	β線源を用いたパラメータ選定のセットアップ...............28
3.10	信号読み出しの回路の概略図 29
3.11	AC カップリング回路の写真と回路図
3.12	β線源を用いて得られた波形の例
3.13	CSA が飽和した波形の例
3.14	SHP:R1*C2、CSA:R1*C4、PZC:R4*C1の時の波形の例
3.15	SHP:R3*C1、CSA:R1*C4、PZC:R4*C1の時の波形の例
3.16	ビーム試験のセットアップの概要図
3.17	Leading edge と Trailing edge 35
3.18	ドリフトチェンバーの LTDC 分布の例 36
3.19	トリガーカウンタ T1 のアナログ波形の例 37
3.20	DRS4 の ch 間におけるベースライン電圧の相関
3.21	トリガーカウンタの QDC 分布の例1 38
3.22	トリガーカウンタの QDC 分布の例 2 39
3.23	QDC カット後のドリフトチェンバーの LTDC 分布

3.24 ASAGI ASD カードの閾値電圧と検出効率の関係 41
3.25 閾値 29.7 mV 時の LTDC 分布 42
3.26 QDC カット後のドリフトチェンバーの LTDC 分布 43
3.27 チェンバーの印加電圧と検出効率の関係 (ASAGI)
3.28 チェンバーの印加電圧と検出効率の関係 (GNA-200) 44
3.29 1st Leading edge TDC
3.30 layer1の1st LTDC分布の例 46
3.31 layer1 の STC 関数 47
3.32 セルにおけるドリフト距離 47
3.33 トリガーカウンタを通る電子の最大入射角度 48
3.34 layer2の1st LTDC分布の例 49
3.35 layer2のSTC 関数 49
3.36 layer3の1st LTDC分布の例 50
3.37 layer3 の STC 関数 50
3.38 直線トラックの例
3.39 信号幅
3.40 残差二乗和の χ^2 フィット
3.41 layer1のX-Tプロット 55
3.42 layer2のX-Tプロット 55
3.43 layer3のX-Tプロット
3.44 layer1 のドリフト距離と残差の関係 57
3.45 layer2のドリフト距離と残差の関係 57
3.46 layer3のドリフト距離と残差の関係 58
3.47 トラックの傾き <i>a</i> の分布 59
3.48 トラックの切片 b の分布 60
3.49 残差分布のガウスフィット 61
3.50 正しいイベントによる layer1 のドリフト距離と残差の関係 62
3.51 正しいイベントによる layer2 のドリフト距離と残差の関係 63
3.52 正しいイベントによる layer3 のドリフト距離と残差の関係 63
3.53 layer1 における電子の通過位置とドリフト距離 64
3.54 layer2 における電子の通過位置とドリフト速度 65
3.55 layer3 における電子の通過位置とドリフト速度 65
3.56 今回の実験状況
3.57 電子の通過位置とドリフト速度の相関の補正 67
3.58 補正後の layer1 のドリフト距離と残差の関係 68
3.59 補正後の layer2 のドリフト距離と残差の関係 68
3.60 補正後の layer3 のドリフト距離と残差の関係 69
$3.61 \chi^2$ カットの値とトラック効率
3.62 補正後の残差二乗和のガウスフィット

表目次

2.1	E50 実験に使用するドリフトチェンバーの必要性能	11
2.2	必要性能	11
2.3	ゲインが変化する CSA と PZC の組み合わせ表............	14
2.4	パラメータ設定シート	18
2.5	入力数値と接続される抵抗数の関係..........................	18
2.6	入力数値と接続される容量数の関係.....................	19
3.1	レイヤ毎のセルサイズ	21
3.2	SHP の組み合わせとその波高と信号幅	25
3.3	CSA の R と PZC の R の比とその増幅率	27
3.4	トリガーカウンタの QDC カット条件	39
3.5	閾値電圧の決定に使用したパラメータ	41
3.6	チェンバーの印加電圧と検出効率の関係 (ASAGI)	43
3.7	ASAGI ASD とドリフトチェンバーのパラメータ	44
3.8	残差と位置分解能	61
3.9	正しい位置分解能..............................	71

第1章 序論

1.1 ハドロン物理学

ハドロンとは、強い相互作用でクォークとグルーオンの結合した複合粒子である。その 種類は大きく分けて2つあり、バリオンとメソンと呼ばれている。構成子クォークモデル ではバリオンは3つの構成子クォークから、メソンは構成子クォークと反構成子クォーク から構成される。構成子クォークとは、ハドロンを構成する準粒子、すなわち有効自由度 である。u,dクォークの質量は、数 MeV/c² 程で、ハドロンの質量に比べて非常に小さい。 一般的によく知られている陽子は、uクォーク2つとdクォーク1つから構成されており、 その質量は約938 MeV/c²である。そこで、ハドロンを構成する粒子として、質量約300 MeV/c²の構成子クォークを用いた構成子クォークモデルが考えられた。このモデルは基 底状態におけるハドロンの質量や、スピン、パリティ等の量子数による分類、磁気モーメ ント等のハドロンの性質を説明することができる。しかし、励起状態においては、近年発 見が相次ぐエキゾチックハドロンなど、一部バリオンの励起状態の性質を説明できない部 分が多い。[1]。近年では有効自由度として、2つのクォーク間の相関であるダイクォーク 相関を取り入れ、ハドロンを記述する試みがなされている [2]。ダイクォーク相関を有効 自由度として取り入れることで、説明が困難とされている励起状態のハドロンの性質を理 解できる可能性があるが、ダイクォーク相関の存在は実験的に確立されていない。

1.2 チャーム・バリオンとダイクォーク相関

チャーム・バリオンとは、チャーム・クォーク (c) を含むバリオンであり、uやdの構成 子クォーク質量に比べて約5倍重い。バリオンでは3つのクォークが3対のダイクォーク 相関を形成しているが、uやdクォークのみから構成されている場合、それぞれのクォー クの質量が同程度のため、3対のダイクォーク相関は運動学的に縮退し分離することがで きない。しかし、チャーム・バリオンではcクォークとu,dクォークとの質量の違いによっ て、軽いクォーク対の運動がダイクォーク相関として運動学的に分離することが期待され る。図 1.1 に示すように、ダイクォークの励起状態であるρモードと、ダイクォークとc クォークの相対運動によるλモードが存在する。これら2つの励起モードが励起準位スペ クトルに現れる。チャーム・バリオンの励起状態を観測し、各励起モードとの対応を調べ ることで、ダイクォーク相関を明らかできると考えられている。



図 1.1: チャーム・バリオンの励起準位スペクトルの模式図 [3]。λ モードと ρ モードに対応した準位がチャーム・バリオンの励起スペクトルに現れる。

1.3 チャーム・バリオン分光実験 (J-PARC E50 実験)

我々は、J-PARC ハドロン実験施設内の高運動量ビームラインにて、チャーム・バリオン分光実験(J-PARC E50 実験)を計画している。実験では、大強度 π^- ビームを液体水素標的に照射し、 $\pi^- + p \to D^{*-} + Y_c^{*+}$ 反応によってチャーム・バリオン Y_c^{*+} を生成する。図 1.2 のように、 D^{*-} の崩壊モード $D^{*-} \to \overline{D}^0 \pi^- \to K^+ \pi^- \pi^-$ から $K^+ \ge \pi^-$ を検出し、 D^{*-} を同定し、ミッシングマス法によって Y_c^{*+} の質量スペクトルを測定する。チャーム・バリオンの励起モードを同定することで、バリオン内部のダイクォーク相関をあぶり出す。

1.4 高運動量ビームライン

2019 年に J-PARC ハドロン実験施設において、高運動量ビームラインが完成した [4]。 30 GeV の一次陽子ビームの一部を取り出して、輸送出来るビームラインとなっており、 将来は分岐部に生成標的を設置することで 20 GeV/c までの高運動量二次粒子ビームを輸 送し、様々なハドロン・原子核実験を行うことを計画している。

1.5 チャーム・バリオン・スペクトロメータ

ミッシングマス法では、ビーム粒子と散乱粒子を測定する必要があり、チャーム・バリ オン・スペクトロメータは大きく分けてビーム粒子測定用と散乱粒子測定用の2つの検出 器群で構成されている [5]。図 1.3 に示すように、荷電粒子の飛跡を検出し、磁気スペク トロメータ磁石の磁場を用いての運動量解析を行うためのドリフトチェンバーを、磁石の



図 1.2: Y_c^{*+} の生成反応。終状態である K^+ と π^- を測定し、 D^{*-} の不変質量と四元運動 量を得て、ミッシングマス法から Y_c^{*+} の質量を測定する。

磁極を囲うように設置する。

1.6 ドリフトチェンバー

ドリフトチェンバーは荷電粒子の飛跡を検出する装置である [7]。ドリフトチェンバー の中にはガスを充満させ、複数本のワイヤーを張っているものが一般的となっている。ワ イヤにはアノードワイヤ、フィールドワイヤ、シールドワイヤが存在する。図 1.4 に示す ようにアノードワイヤを囲うようにフィールドワイヤが張られている。この構造をセルと 呼ぶ。図 1.4 はセル1つ分を表している。フィールドワイヤには負の高電圧をかけ、内部 に電場を生み出す。チェンバー内を荷電粒子が通過することでガス分子が電離され、電離 によって発生した電子が電場によって加速され、アノードワイヤに向かってドリフトして いく。アノードワイヤ近傍では、高電場領域となり電子がなだれ増幅され、信号を検出す る。ガスによる増幅率は、一次電離によってできた電子の数によらず、一定となるような 電場強度とガス圧の領域が存在する。この領域は比例領域とよばれ、ガスの増幅率はおよ そ104-106を示す。この時、ガスが一次電離した位置と、アノードワイヤに電子が到達 する時間は相関する。この相関を利用し、荷電粒子の通過位置を決定するのが、ドリフト チェンバーの飛跡測定原理である。一般的なドリフトチェンバーの位置の決定精度は200 μ m 程度である。時刻 $t = t_1$ で荷電粒子が通過して一次電離したとし、その電離電子がア ノードワイヤ近傍でなだれ増幅され、信号として検出された時刻を $t = t_2$ とおくと、ドリ フト距離は、

$$x = \int_{t_1}^{t_2} u(t)dt$$
 (1.1)

となる。ここで電子のドリフト速度 u(t) が一定であれば、

$$x = u(t_2 - t_1) \tag{1.2}$$

となるため、ドリフト速度は時間差t₂-t₁に比例する。実際のドリフトチェンバーでは必ず しも *u*(*t*)が一定にはならないが、ガスの種類やワイヤにかける電圧を調整して、ドリフト 領域においてなるべく一定なドリフト速度が得られるようにする。ドリフトチェンバーは、



図 1.3: チャーム・バリオン・スペクトロメータの概要図 [6]。黄色で表示されている部分 が荷電粒子の飛跡検出用ドリフトチェンバーとなっている。

その信号を読み出す回路として、ASD カード (Amplifier Shaper Discriminator card)を使 用する。ASD カードはドリフトチェンバーの電気信号を増幅し、波形を整形し、設定した 閾値電圧を越えるか否かで信号をデジタル化し、タイミング情報を TDC(Time-to-Degital Converter) にて測定する。

1.7 本研究の目的

我々は、チャーム・バリオン分光実験(J-PARC E50 実験)で使用するドリフトチェン バー用に新たな ASD カード、ASAGI ASD カードを開発した。本研究の目的は、試作機 として製作された ASAGI ASD カード ver.1.0 の動作確認と性能評価である。テスト用ド リフトチェンバーに ASAGI ASD カードを接続し、β線源を用いた試験と SPring-8 にお いて電子ビームを用いた試験を行った。このテスト用ドリフトチェンバーは先行研究 [9] にて GNA-200 ASD カード [8] を使用し、性能評価がされているものである。本論文の第 2 章にて、ASAGI ASD カードについて述べ、第3章にてβ線源を用いた試験とビーム試 験での性能評価の結果を述べる。



図 1.4: ドリフトチェンバーのセル構造。アノードワイヤを囲うようにフィールドワイヤ が張られている。この構造をセルと呼ぶ。図はセル1つ分を表している。

第2章 ASAGI ASDカード

E50実験に使用するドリフトチェンバーには以下のような性能が求められる。

表 2.1: E50 実験に使用するドリフトチェンバーの必要性能

レイヤ検出効率	約 99.0 %以上
位置分解能	約 200 µm 以下
高レート耐性	最大 300kHz/ワイヤ

複数レイヤで飛跡を検出する際のトラッキング効率は、レイヤ数にも関係するが、おお よそ各レイヤの検出効率の積となるため、約 99.0 %以上が望ましい。位置分解能は、200 µm がスペクトロメータのデザイン値となっている。ドリフトチェンバーの位置分解能が、 スペクトロメータの運動量分解能に大きく影響するため、より良い位置分解能が求められ る。レート耐性は E50 実験において想定される最大レートを示している。

E50 実験において ASAGI ASD カードを使用する前に、ドリフトチェンバーの検出効 率や位置分解能が悪化しないような信号が出ることを確認する必要がある。テスト用ドリ フトチェンバーに GNA-200 32ch ASD カードを使用した先行研究と、テスト用ドリフト チェンバーに ASAGI ASD カードを使用した際の検出効率、位置分解能を比較して検出 効率や位置分解能が悪化しないか確認をおこなうこととした。GNA-200 32ch ASD カー ドを使用した先行研究で得られた性能は 2.2 であった。

表 2.2: 必要性能

検出効率	約 99.0 %
位置分解能	約 200 µm

レート耐性は本研究にて試験することが出来なかったが、3.7 節において信号幅を確認 することで、その評価を行った。

2.1 デザインと性能

ASAGI ASD カードは AGASA ASIC [10] というチップを搭載している。AGASA は Asic for Gas detector Amp Shaper discriminAtor の略称であり、元々Belle II 実験用に開発されたガス検出器汎用 ASIC である。以下に主な機能を示す。

- 32ch の信号を入出力可能
- Amplifier(増幅器), Shaper(整形回路), Discriminator(波高弁別器)を内蔵
- 正負両方の入力電荷に対応
- •正負両方のデジタル出力が可能
- コンバージョンゲイン: 63 mV/pC 32 V/pC
- ダイナミックレンジ: 0 − 2.0 pC
- 信号幅:数10 nsec 数 μsec
- 電力消費: 30 mW 100 mW



図 2.1: ASAGI ASD 回路 1ch 分の構成図

図 2.1 に ASAGI ASD 回路 1ch 分の構成図を示す。CSA(電荷増幅器)、PZC(ポール・ゼ ロ・キャンセル) において、250 kΩ の抵抗が 4 個、250 fF の容量が 8 個搭載されている SHP(波形整形器) には、15 kΩ の抵抗が 4 個、250 fF の容量が 8 個搭載されている。接続 する抵抗数を1-4個、容量数を1-8個の範囲内で設定することができる。抵抗と容量の 接続数を変えて時定数を変更することで、ドリフトチェンバーの構造やガスのゲインに合 わせて、電気信号の増幅量、波形の整形時間を調整できる仕組みとなっている。ASD 回 路の時定数の変更によって以下のように出力信号の調整が可能である。

- CSAのRに対してPZCのRが小さい時、信号が増幅される。
- CSAと PZC の R の比が同じパラメータは同じ増幅率の波形が得られる。
- SHPの抵抗数Rが増えると信号が増幅される。
- SHP の容量数 C が増えると波高が小さくなり、信号幅は大きくなる。

上から 2 つの項目は CSA と PZC の時定数を同じにする設計によるものである [11]。図 2.2 のような CSA と PZC を考える。



図 2.2: CSA と PZC の概略図。

CSAの入出力の関係を表す伝達関数 T₁ は複素周波数 s を用いて、

$$T_1 = -\frac{R_1}{1 + sC_1R_1} \tag{2.1}$$

PZC の伝達関数 T_2 は、

$$T_{2} = -\frac{1}{R_{2}} + sC_{2}$$

= $-\frac{1 + sC_{2}R_{2}}{R_{2}}$ (2.2)

CSA と PZC の時定数を同じにして、これらの回路を接続することにより、ポールと呼ばれる T_1 の分子 $(1 + sC_1R_1)$ と、ゼロと呼ばれる T_2 の分母 $(1 + sC_2R_2)$ が相殺する。これ

により、位相補償を行ってオペアンプの発振の原因を防ぎ、波形のアンダーシュートを防 ぐといった役割を持つ。相殺後の式は、

$$T_1 T_2 = \frac{R_1}{R_2} \tag{2.3}$$

となって、CSAのRとPZCのRの比でゲインが決まる。

CSA の R と PZC の R の比が 1 : 1 のゲインが変化しない組み合わせを除いて、ゲイン が変化する組み合わせ計 10 通りのパターンを表 2.3 にまとめる。

CSA の R : PZC の R	CSA(R*C)	PZC(R*C)		CSAのR:PZCのR	CSA(R*C)	PZC(R*C)
"4.1"	4*1	1*4		"2 . 4"	3*4	4*3
4:1	4*2	1*8		3.4	3*8	4*6
"2 . 1"	3*1	1*3		"2.2"	2*3	3*2
3.1	3*2	1*6		2.5	2*6	3*4
	2*1	1*2			1*2	2*1
	2*2	1*4			1*4	2*2
	4*1	2*2			2*2	4*1
"2 • 1"	2*3	1*6		"1.2"	1*6	2*3
2.1	2*4	1*8		1.2	1*8	2*4
	4*2	2*4			2*4	4*2
	4*3	2*6			2*6	4*3
	4*4	2*8			2*8	4*4
"2 • 2"	3*2	2*3		"1.2"	1*3	3*1
3.2	3*4	2*6		1.3	1*6	3*2
"4 . 2"	4*3	3*4		"1 . /"	1*4	4*1
4.3	4*6	3*8		1:4	1*8	4*4

表 2.3: ゲインが変化する CSA と PZC の組み合わせ表

次に 2.3 のような SHP を考える。



図 2.3: SHP の概略図。

SHP の入出力の関係を表す伝達関数 T₃ は複素周波数 s を用いて、

$$T_3 = -\frac{R_3}{R_4} \frac{1}{1 + sC_3R_3} \tag{2.4}$$

となる。すなわち、SHP の *R*₃ が増えると信号が増幅され、*C*₃ が増えると波高が小さく なる。これら SHP の R と C の組み合わせは 4×8 で 32 通りある。CSA と PZC の組み合 わせパターンと掛け合わせて、計 352 通りとなる。これらが想定通りの動作を示すかにつ いて試験した結果を、次章の 3.3 にて詳しく述べる。

図 2.1 の VTH_COMP にはデジタル出力回路 (比較器と 10-bit DAC) が接続されてい る。この回路により、設定した閾値電圧 (Vth) を越える信号が入力された際に、デジタル 出力をする。絶対値としては 0V から 3.3V の範囲で設定しているが、1.65V のオフセット 電圧をかけることで、閾値電圧 (Vth) は-1.65 V から+1.65 V の範囲で 3.3 mV 刻みで設 定可能となっている。図 2.1 の DO_POL はデジタル信号の出力極性を反転する回路であ る。図 2.1 の BUF_EN はアナログ出力の際のソースフォロワ回路となっており、大きく なってしまった内部インピーダンスを下げて出力し、アナログモニターのインピーダンス に合わせる役割をもつ。

図 2.4 に AGASA ASIC を搭載した ASAGI ASD カード ver.1.0 の写真を示す。ASAGI ASD カードの大きさは 85 mm × 110 mm となっている。Input をドリフトチェンバーに 繋ぎ、最大 32ch の信号を入力できる。Test pulse input にはファンクションジェネレータ などの出力信号を LEMO ケーブルで接続し、テストパルスを入力する。この時、ファン クションジェネレータなどで設定した入力電荷に関係なく、0.12 pC 固定のテスト信号が 入力される。入力する ch は任意で選ぶことが出来る。Analog output は LEMO ケーブル



図 2.4: 試作機である ASAGI ASD カード ver.1.0 の写真。

で接続し、任意のchを1つ選んで出力できる。ASD カードの電源は5.0 Vとなっている。 Output は LVDS で 32ch のデジタル信号を出力することができる。Controller connect pin には図 2.5 のように AWM ケーブル等を用いて FPGA control board と接続する。本論文 の性能評価試験では、FPGA control board との接続に同軸ケーブルを用いた。これは性 能評価試験前に行った簡易的な試験にて、同軸ケーブルを用いて、ケーブルのグランウド を取る方法が最もノイズを抑えられた為である。

FPGA control board は USB typ-c ケーブルの 5V で動作し、ネットワークケーブル (LAN ケーブル) を用いて PC と接続する。IP アドレス (192.168.10.16) に設定して PC から以下 の設定情報を送信する。

- CSA(電荷増幅器)
- PZC(ポール・ゼロキャンセル)
- SHP(波形整形器)
- VTH_COMP(デジタル出力閾値)
- DO_POL(デジタル出力極性)
- BUF_EN(アナログ出力 ch 選択)

設定方法については次節で述べる。

2.2 パラメータ設定方法

パラメータ設定のインターフェースは SPI(Serial Peripheral Interface) を基本としている。書き込むデータは Excel シートにてテキストファイルを作成し、Python コードを用



図 2.5: FPGA cotrol board の写真。

いて、作成したテキストファイルを読み込み、FPGA を経由して ASAGI ASD カードのパ ラメータ設定をおこなう。表 2.4 にパラメータ設定に使用する Excel シートの 1ch 分を示 す。ch 番号は 0~31 までで 32ch 分を個別に設定できる。各項目の役割を以下にまとめる。

- PAD_BUF_EN アナログ出力を有効にするためのスイッチ。この設定によってア ナログ出力が設定される。ch31のみで設定する。0で off、1で on。
- DO_POL デジタル出力の極性を設定。0 で反転無。1 で反転。
- BUF_EN ある ch のアナログ出力の有無を決めるスイッチ。PAD_BUF_EN が on でないと動作しない。1 つの ch のみ on にする。0 で off、1 で on。
- TP_MASK テストパルス入力の有無を設定するスイッチ。0 で off、1 で on。
- VTH_COMP デジタル出力の閾値設定。10bit 管理。-1.65 V~1.65 V まで 3.3 mV 刻みで設定可能。
- R_B_SHP 波形整形器の抵抗数を設定。
- C_B_SHP 波形整形器の容量数を設定。
- R_B_PZC ポール・ゼロキャンセルの抵抗数を設定。
- C_B_PZC ポール・ゼロキャンセルの容量数を設定。
- R_B_CSA 電荷増幅器の抵抗数を設定。

● C_B_CSA 電荷増幅器の容量数を設定。

PAD_BUF_ENを除き、1ch ずつ別々にこれらのパラメータを設定することが可能である。

Block Eunction		# of hit		Local address																Romarks	
DIOCK	Function		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	SPICODE	Keillaiks	
	PAD_BUF_EN	1				\mathcal{V}	1/		\mathcal{V}	Λ	Λ	\land	/			\mathcal{V}	\mathbb{V}	0	07	チップレベルバッファイネーブル(Ch31のみ)	
	DO_POL	1		\square	$\overline{\mathcal{V}}$	∇	\mathbb{V}	\square	\mathbb{N}	Δ	Л	/	/		∇	\overline{V}	∇	0	F2	デジタル出力極性 1:反転	
	BUF_EN	1	\square		$\overline{\nabla}$	∇		$\overline{\mathbb{Z}}$	И	Ζ	Ζ	/	7	$\overline{/}$	$\overline{\mathcal{V}}$	\overline{V}	\overline{V}	0	14	アナログバッファイネーブル	
	TP_MASK	1	\square		$\overline{\mathcal{V}}$	∇			\mathcal{V}	Ζ	Λ		/			\overline{V}	\overline{V}	0	21	TP信号マスク 1:有効	
	VTH_COMP	10			$\overline{\mathcal{V}}$	∇	\mathbb{V}	\square	0	1	1	1	1	1	1	1	0	0		比較器しきい値制御	
Ch 31	R_B_SHP	3				∇			И	Λ	Λ	/	7	$\overline{/}$	∇	1	0	0		SHP抵抗調整	
	C_B_SHP	3							И	Ζ	Λ	/	/			0	0	1		SHP容量調整	
	R_B_PZC	3			$\overline{\mathcal{D}}$	∇			И	Λ	Л	/	/		∇	0	1	0		PZC抵抗調整	
	C_B_PZC	3							\square		Λ	/	/			0	0	0		PZC容量調整	
	R_B_CSA	3				∇			И		Λ	/	/		\bigvee	1	0	0		CSA抵抗調整	
	C B CSA	3			1	17			1/			/	/	1	17	0	0	1	07 F2 14 21	書き込み値 1チャネル分	

表 2.4: ASAGI ASD カードのパラメータ設定シート

抵抗と容量の入力数値と接続数の関係を以下の表 2.5, 2.6 にまとめる。

ビ	ット	・パターン	接続される抵抗数				
0	0	0	4				
0	0	1	3				
0	1	0	2				
1	0	0	1				

表 2.5: 入力数値と接続される抵抗数の関係

E	ット	・ハターン	接続される谷重数
0	0	0	1
0	0	1	2
0	1	0	3
0	1	1	4
1	0	0	5
1	0	1	6
1	1	0	7
1	1	1	8

表 2.6: 入力数値と接続される容量数の関係

例として、表 2.4 に記載した設定を説明する。

- PAD_BUF_EN =0 アナログ出力無。
- DO_POL =0 極性反転無。
- BUF_EN =0 アナログ出力無。
- TP_MASK =0 テストパルス入力無。
- VTH_COMP =0111111100 閾値電圧 (Vth) -13.2 mV。
- R_B_SHP =100 波形整形器の抵抗数1個(15 kΩ)。
- C_B_SHP =001 波形整形器の容量数2個(500 fF)。
- R_B_PZC =010 ポール・ゼロキャンセルの抵抗数2個 (500 kΩ)。
- C_B_PZC =000 ポール・ゼロキャンセルの容量数1個(250 fF)。
- R_B_CSA =100 電荷増幅器の抵抗数を設定1個 (250 kΩ)。
- C_B_CSA =001 電荷増幅器の容量数を設定2個(500 fF)。

この 1ch 分の SPI コードは (07 F2 14 21) となる。ASAGI ASD カードを使用する際は、 32ch 分まとめたものを送信してパラメータ設定を行う。

第3章 ASAGI ASD カードの性能試験

3.1 研究目的

本研究では、ASAGI ASD カードの性能評価として、テスト用のドリフトチェンバーに 繋いだ試験を行った。このドリフトチェンバーは2節でも述べたように、先行研究にて GNA-200 ASD カードを用いた性能評価が行われており、ASAGI ASD カードとの比較を 行うことができる。テストパルスを用いた動作確認は、ドリフトチェンバーは使用せずに 行った。2.1節で述べた各種設定パラメータに応じた動作をするか確認した。テスト用の ドリフトチェンバーに繋いだ試験は、β線源⁹⁰Sr を用いた試験と、ビーム試験を行った。 ドリフトチェンバーにはAr+CO₂ガスを使用した。線源を用いた動作確認とパラメータの 選定では、オシロスコープを用いて、実際に出力される波形を見ながらビーム試験にて使 用する ASAGI ASD カードのパラメータの選択を行った。ビーム試験は SPring-8 LEPS2 にて行った。ノイズレベルの確認、検出効率と位置分解能を測定することで性能を評価 した。

3.2 テスト用ドリフトチェンバー

3.2.1 構造

使用したテスト用ドリフトチェンバーは、図 3.1のような外形をしており、サイズは 300 mm×890 mm×140 mm となっている。ドリフトチェンバーの粒子が通過する前面と後面 は 200 mm×740 mm のウインドウとなっており、マイラーが張られている。ワイヤは図 3.1 の Y 方向に張られているため、Z 方向から入射してきた荷電粒子に対して X 方向の通 過位置の情報が出せる。図 3.2 にワイヤ構造の概略図を示す。ワイヤ構造はアノードワイ ヤのまわりに六角形になるようにフィールドワイヤを配置した六角セル構造である。六角 セル構造は、

アノードワイヤを中心に等方的な電場が得られるため、粒子の入射方向に依らず一定に近いドリフト速度が得られる(式 1.1)。

Z方向 (荷電粒子の入射方向) に3層のレイヤ状となってセルが配置されている。扇形を成 しているのは、円筒状ドリフトチェンバーの一部を想定して作られたためである。レイヤ 毎にセルのサイズが少し異なるため、上から順に layer1-3 とすると、セルサイズはそれ ぞれ表 3.1 のようになる。

アノードワイヤは電圧を0V、フィールドワイヤには負の電圧を印加する。シールドワイヤは1層目と3層目の最外層に位置するセルの電場を整形する。アノードワイヤには ϕ 30 μ mの金メッキタングステン (Au-W)を32本 (1層目に11本、2層目に10本、3本目

表 3.1: レイヤ毎のセルサイズ

レイヤ名	セルサイズ [mm]
layer1	16.6
layer2	17.8
layer3	19.0

に11本) 使用している。フィールドワイヤとシールドワイヤには \phi100 \mum の金メッキア ルミニウム (Au-Al) を使用している。



図 3.1: テスト用チェンバーの概略図。



図 3.2: テスト用チェンバーの概略図。

3.2.2 ガス

試験では、全てアルゴン (Ar) と二酸化炭素 (CO₂) を 90:10 で混合したガスを用いた。他 にもドリフトチェンバーに使われるガスとしては、Ar+C₂H₆ や Ar+CH₄ 等が挙げられる が、Ar+CO₂ は、

- 他のガスと比べて安価である。
- 不燃で安全性が高い。
- 同様の形状やワイヤー形のドリフトチェンバーで実績のある Ar+C₂H₆ と電圧特性 が似ており、ゲインが高い。

等の利点がある。E50 実験では、内容量の大きいドリフトチェンバーに長時間ガスを流し 続けることになるため、安価で安全性の高い Ar+CO₂ を使用する。図 3.3 で示すように、 ドリフトチェンバーに用いる高電場領域において Ar+CO₂ は比較的一定なドリフト速度 が得られる [12]。



図 3.3: Ar+CO₂ における電場と電子のドリフト速度の関係 (左)。比較として右に Ar+C₂H₆の関係図を載せる。

3.3 テストパルスによる動作確認

2.1節で述べた各種設定パラメータに応じた動作をするかの確認するため、テストパルス による試験を行った。セットアップは、ファンクションジェネレータから LEMO ケーブル で ASAGI テストパルス入力に接続し、ASAGI アナログ出力から LEMO ケーブルでオシ ロスコープに接続した。ファンクションジェネレータは GW Instek AFG-3081 を使用し、 1.2 V の矩形波を1 kHz で出力した。ASAGI ASD カードの CSA(電荷増幅器)、PZC(ポー ル・ゼロ・キャンセル)、SHP(波形整形器)を通して、増幅、整形されたアナログ波形を オシロスコープで読み取った。

SHP のパラメータによる応答の違いを確認した。CSA と PZC において接続される抵抗数 R と容量数 C を 1 つずつに固定し、SHP の抵抗数 R と容量数 C の組み合わせのみを変え、波高と信号幅を測定した。例として SHP の抵抗数 R が 3 つ (45 kΩ)、容量数 C が 1 つ (250 fF) 接続されている時に得られた波形を図 3.4 に示す。このパラメータでは、波高が約 800 mV、信号幅が波高の 1/10 値幅で約 22 ns となっている。



図 3.4: 波形の ch2 が ASAGI のアナログ出力の例。赤線が波高を、青線が 1/10 値幅を示 している。ch1 は ASAGI のデジタル信号となっている。閾値はデジタル信号が出るよう に –108.9 mV に設定している。

また、SHP の組み合わせ 32 通り全ての波高と信号幅の表 3.2 を以下に示す。抵抗の接 続数を色分けし、横軸を容量の接続数、縦軸を波高としたグラフを図 3.5 に、抵抗の接続 数を色分けし、横軸を容量の接続数、縦軸を信号幅としたグラフを図 3.6 に示す。信号幅 は波高の 1/10 値幅を用いている。

R*C	時定数 <mark>[ns]</mark>	波高 [mV]	信号幅 <mark>[ns]</mark>	R*C	時定数 <mark>[ns]</mark>	波高[mV]	信号幅 <mark>[ns]</mark>
1*1	3.75	460	16.0	3*1	11.3	800	22.0
1*2	7.50	320	20.0	3*2	22.5	480	48.0
1*3	11.3	240	22.0	3*3	33.8	340	60.0
1*4	15.0	200	24.0	3*4	45.0	230	100
1*5	18.8	180	36.0	3*5	56.3	200	112
1*6	22.5	160	42.0	3*6	67.5	180	120
1*7	26.3	140	48.0	3*7	78.8	160	124
1*8	30.0	120	52.0	3*8	90.0	140	128
2*1	7.50	680	20.0	4*1	15.0	880	24.0
2*2	15.0	420	24.0	4*2	30.0	520	64.0
2*3	22.5	300	50.0	4*3	45.0	360	82.0
2*4	30.0	240	60.0	4*4	60.0	260	104
2*5	37.5	200	72.0	4*5	75.0	220	124
2*6	45.0	180	84.0	4*6	90.0	180	128
2*7	52.5	160	94.0	4*7	105	160	136
2*8	60.0	140	108	4*8	120	140	148

表 3.2: SHP の組み合わせとその波高と信号幅

図 3.5:抵抗R容量Cの接続数とその波高。抵抗の接続数を色分けし、横軸を容量の接続数、縦軸を波高としている。

図 3.6: 抵抗R容量Cの接続数とその信号幅。抵抗の接続数を色分けし、横軸を容量の 接続数、縦軸を信号幅としている。信号幅は波高の1/10値幅を用いている。

CSA と PZC のパラメータによる応答の違いを確認した。SHP の抵抗数 R と容量数 C を固定し、CSA と PZC の抵抗数 R と容量数 C の組み合わせを変え、波高と信号幅を測 定した。2.1 節で述べたように、CSA と PZC の時定数の積を同じにする必要があるため、 CSA と PZC の抵抗数 R と容量数 C の組み合わせは 11 パターンある。例として CSA の抵 抗数 R が 4 つ (1 MΩ)、容量数 C が 1 つ (250 fF)、PZC の抵抗数 R が 1 つ (250 kΩ)、容量 数 C が 4 つ (1 μ F) 接続されている時に得られた波形を図 3.7 に示す。また、CSA の抵抗 数 R が 4 つ (1 MΩ)、容量数 C が 2 つ (500 fF)、PZC の抵抗数 R が 1 つ (250 kΩ)、容量数 C が 8 つ (2 μ F) 接続されている時に得られた波形を図 3.8 に示す。

図 3.7: ch2 がアナログ波形。ch1 は ASAGI のデジタル信号となっている。 閾値はデジタル信号が出るように -108.9 mV に設定している。

図 3.8: ch1,2 ともに左図同様。ASAGIの パラメータは違うが CSA と PZC の設定の 特徴によりほぼ同じ波形が得られている。

CSA の R と PZC の R の比の組み合わせ 11 通りについて、比が 1:1 の時を基準とした 増幅率を以下の表 3.3 にまとめる。

csaR : pzcR	倍率	csaR : pzcR	倍率
4:1	2.6	4:3	0.79
3:1	2.1	2:3	0.71
2:1	1.6	1:2	0.51
3:2	1.4	1:3	0.35
4:3	1.3	1:4	0.24
1:1	1.0		

表 3.3: CSA の R と PZC の R の比とその増幅率

以上のテストパルスでの動作確認によって、2.1節における、

• CSAのRに対して PZCのRが小さい時、信号が増幅される。

- CSAと PZC の R の比が同じパラメータは同じ増幅率の波形が得られる。
- SHPの抵抗数Rが増えると信号が増幅される。
- SHP の容量数 C が増えると波高が小さくなり、信号幅は大きくなる。

という想定通りの動作をすることが確認できた。

3.4 線源を用いた動作確認とパラメータの選定

テストパルスにて、パラメータに対する応答を確認し、実際にテストパルス用チェン バーに接続してβ線源を用いた試験を行った。この試験は、次のセクションで記述する ビーム試験で使用するパラメータの選定が主な目的である。この測定のセットアップを図 3.9 に、信号読み出し回路を図 3.10 に示す。

図 3.9: β線源を用いたパラメータ選定用のセットアップ。

図 3.10: 信号読み出しの回路の概略図。

β線源には⁹⁰Sr を用いた。チェンバー上部の中央に線源を置き、下部のプラスチックシ ンチレータで β線を検出することで、ドリフトチェンバーを β線が通過した事象を選択し た。線源の窓にはコリメータをつけ、β線の入射角度をほぼ垂直方向に制限した。プラス チックシンチレータは100 mm×100 mm、厚さ4 mm のサイズのものを使用した。プラ スチックシンチレータは閾値を 30 mV に設定したディスクリミネータに接続し、オシロ スコープのトリガーとした。ASAGI ASD カードからは、laver1 においてβ線が通過する チェンバー中央のch5のアナログ出力をオシロスコープに接続して、信号の波形を調査し た。この際 ASAGI ASD カードは、1.65 V にオフセットが存在するため、グラウンドレ ベルを合わせるためにオシロスコープとの間に AC カップリング回路を接続し波形を読み 取った。この AC カップリング回路は、後述するビーム試験でも用いるために、線源での テストで動作の確認も兼ねて使用した。ACカップリング回路には、1 µFのコンデンサと 51 Ωの抵抗を用いて、カットオフ周波数を 3120 Hz とした。実際に使用した AC カップ リング回路の写真と、回路図を 3.11 に示す。信号レートは数百 Hz であったため帯域に問 題がないこと、AC カップリング回路で読み出したオシロスコープの波形に変化がないこ とを共に確認している。実際に得られた波形の例を図 3.12 に示す。これは、SHP の抵抗 数Rが2つ(30 kΩ)、容量数Cが2つ(500 fF)、CSAの抵抗数Rが1つ(250 kΩ)、容量数 Cが1つ(250 fF)、PZCの抵抗数Rが1つ(250 kΩ)、容量数Cが1つ(250 fF) 接続され ている時に得られたものである。波高は330 mV、信号幅は1/10 値幅で165 ns であった。

図 3.11: AC カップリング回路の写真 (左) とその回路図 (右)。1 μF のコンデンサと 51 Ω の抵抗を用いている。

図 3.12: β線源を用いて得られた波形の例。

パラメータの選択においては、始めに CSA の R と C の接続数、PZC の R と C の接続 数を1つずつに固定し、SHP の時定数を変化させ波形を測定した。これは、CSA と PZC の主な役割が信号の増幅であるため、先に SHP の時定数を変化させ、どのような整形時 間で波形を出力するか決めるためである。E50 実験では、高計数率環境 (最大 300 kHz/ワ イヤ) となることが予想されている。計数率と信号幅から偶然 2 つの信号が重なる確率を 式 (3.1) のように見積もることが出来る。

計数率を 300 kHz/ワイヤとすると、信号の重なり (パイルアップ) を抑え、検出効率を 99 %以上に保つためには、33 ns 以下の信号幅が望ましい。そのためビーム試験で用いるパ ラメータとして時定数が小さい方から SHP のパラメータを 2 つ選ぶこととした。C の接 続数が 1 つ、かつ R の接続数が 1 つの時と、C の接続数が 1 つ、かつ R の接続数が 2 つ の時が他と比べてとてもノイズが大きく、波高は C の接続数が 1 つ、かつ R の接続数が 3 つや 4 つの時より低いため、S/N 比が他と比べて悪いパラメータであると考え除外した。 また、テストパルスによる試験より、R1*C3 と R3*C1 は時定数と信号幅は同じだが、ゲ インが R3*C1 の方が高いことがわかっている。よって時定数の小さい順に 2 つ、R1*C2 と R3*C1 を SHP のパラメータとして使用することに決めた。

また、CSA と PZC による組み合わせはゲインが減少する組み合わせを使用することと した。理由としては、Dynamic range にある。2.1 節にもあるように入力電荷は 0 ~ 2.0 pC で使用するのが望ましい。CSA における容量は最大で 2 pF で、使用しているアンプが ベースライン電圧から 1.2 V で飽和してしまうため、この値となっている。これは、CSA の容量数を減らすことで、飽和しやすくなってしまうことを意味する。接続する容量を 1 つにすると 250 fF になり、0.3 pC で飽和してしまう。実際に CSA の飽和と見られる例を 図 3.13 に示す。この時のパラメータは CSA の抵抗数 R が 4 つ (1 MΩ)、容量数 C が 1 つ (250 fF)、PZC の抵抗数 R が 1 つ (250 kΩ)、容量数 C が 4 つ (1 pF) であった。ドリフト チェンバーでは、信号の飽和で幅が広がらないようにするため、ゲインはノイズと分離で きる値でよい。これらの理由を踏まえ、表 3.3 右側のゲインを減少させるような (CSA の 抵抗数 R が 3 つ、容量数 C が 4 つ、PZC の抵抗数 R が 4 つ、容量数 C が 3 つ)組み合わ せを選択した。

図 3.13: CSA が飽和した波形の例。テールが変形し、信号幅がかなり広くなってしまっている。

テストパルスでも確認した、SHPのRが大きい方が波高が高くなる、時定数が大きい 方が信号幅が大きくなるといった特性を線源でも確認することができた。ビーム試験で使 用するパラメータは以下の通りとなった。

- SHP の組み合わせは R1*C2,R3*C1 の 2 つを使用する。
- CSAとPZCの組み合わせは、ゲインが減少する組み合わせを使用する。

以下に例として SHP: R1*C2、CSA: R1*C4、PZC: R4*C1の時の波形を図 3.14 に、 SHP: R3*C1、CSA: R1*C4、PZC: R4*C1の時の波形を図 3.15 に示す。

図 3.14: SHP : R1*C2、CSA : R1*C4、PZC : R4*C1の時の波形の例。ch1 が ASAGI の アナログ信号。ch2 トリガーカウンタのディスクリミネータ信号。

図 3.15: SHP : R3*C1、CSA : R1*C4、PZC : R4*C1の時の波形の例。ch1 が ASAGI の アナログ信号。ch2 トリガーカウンタのディスクリミネータ信号。

3.5 ビーム試験のセットアップ

2022年8月に大型放射光施設 SPring-8のLEPS2ビームラインにてビーム試験をおこ なった。1.3–2.4 GeVの γ 線ビームを厚さ1mmの鉛板に照射して電子・陽電子対を生成 し、永久磁石で軌道を曲げることで電子のみがテスト用チェンバーの真ん中近傍を通るよ うに調整をした。ドリフトチェンバーと ASAGI ASD カードの他に、4台のトリガーカウ ンター (T1,T2,T3,T4)を使用した。セットアップの概要図を、図 3.16に示す。チェンバー の前後にトリガーカウンターのT1(30 mm×30 mm×1 mm)とT2(30 mm×30 mm×4 mm) を設置した。また、広いビーム領域を測定して、粒子の多重度を確認するための、100 mm × 100 mm x 4 mm サイズのT3とT4をチェンバーの前後にそれぞれ設置した。データ取 得のトリガーはT1とT2のコインシデンス信号とした。ASAGI ASD カードの ch5(チェ ンバーの layer1 の真ん中のワイヤー)のAC カップリング回路を通した後のアナログ信号 とトリガーカウンタの波高や電荷の情報取得には、波形情報の読み出せるDRS4モジュー ル [13]を使用した。ASAGI ASD カードの全 32 ch のデジタル信号と、トリガーカウンタ のTDC 情報の取得には、HUL HR-TDC [14]を使用した。DRS4 での波形やHR-TDC で のTDC 情報の取得のための common stop 信号はドリフトチェンバーのドリフト時間を 考慮して、それぞれ1 μ s 遅延して使用した。

図 3.16: ビーム試験のセットアップを上からみた概要図。ドリフトチェンバーの前後に トリガーカウンターとして T1(30 mm×30 mm×1 mm)と T2(30 mm×30 mm×4 mm)を 設置した。また、広いビーム領域を測定して、粒子の多重度を確認するための、100 mm × 100 mm x 4 mm サイズの T3 と T4 をチェンバーの前後にそれぞれ設置した。データ 取得のトリガーは T1 と T2 のコインシデンス信号とした。

3.6 検出効率

layer 毎の検出効率は以下の式で定義している。

検出効率 =
$$1 - \frac{ \nabla \mathcal{L} + \nabla \mathcal{L} + \nabla \mathcal{L} + \nabla \mathcal{L} + \nabla \mathcal{L}}{2 \mathcal{L} + \nabla \mathcal{L} + \nabla \mathcal{L}}$$
 (3.2)

この時の全イベント数とはトリガーカウンタである T1 と T2 の両方を通過し、コインシ デンス信号が発生した事象を指す。ワイヤが鳴らなかったイベントとは、指定した区間内 にドリフトチェンバーの TDC が存在しているか否かで判断している。ここで、TDC と呼 ぶものは図 3.17 に示すような Leading edge TDC の分布を指し、以降 LTDC と省略する。

図 3.17: Leading edge と Trailing edge の概念図。図の Signal のような波形が入力され、 TDC で取得する際の Vth が図のようにかけられていた際、Digital output のようなデジ タル信号が出力される。

実際に得られた LTDC 分布の例を図 3.18 に示す。


図 3.18: ドリフトチェンバーの LTDC 分布の例。3 つ layer 全てのチャンネルの値を同じ ヒストグラムに集積した。TDC が common stop でデータ取得しているため、数値が大き い方が時間が早い。900 ns 付近の立ち上がりに近いほどチェンバーのワイヤ近くをビー ム電子が通過している。

3.6.1 検出効率導出のためのトリガーカウンターの解析

T1とT2の両方を電子が通過したイベントを取り出すため、トリガーカウンタにおけるQDCカットをおこなった。QDC分布は、DRS4で測定したトリガーカウンタのアナログ波形を積分することで得た。トリガーカウンタT1のアナログ波形の例を、図 3.19に示す。



図 3.19: トリガーカウンタT1のアナログ波形の例。赤い直線がベースライン電圧となっている。青線は後述のベースライン電圧計算に用いる区間である。

積分を行い QDC を出すには、正確なベースライン電圧を計算し、全体からその電圧を 引く必要がある。DRS4 の各 ch 間において、ベースライン電圧の変動に正の相関がある ことを利用して、この導出を行う。そのための手順を以下に示す。

- 1. イベント毎にアナログ波形の最大値となる部分を波形からスキャン。
- 2. イベント毎に 0 ns から波形の最大値より 20 ns 手前の区間 (図 3.19 における青線) までの平均値を計算。
- 3. イベント毎に DRS4 の検出器が繋がっていない ch(今回は ch6 を使用) において 0 ns から 1000 ns までの電圧の平均値を計算。
- 4.2.と3.の相関を得て、近似直線を求める(図 3.20)。
- 5. 3. から近似直線の関数を使って、トリガーカウンタの1イベント毎のベースライン 電圧を計算。
- 6. イベント毎に復元したベースライン電圧を全体から引き、積分区間を決めて QDC を計算する。このとき抵抗値は 50 Ω を仮定。



図 3.20: DRS4 の ch 間におけるベースライン電圧の相関。

QDC を計算する積分区間は、波形の最大値より 20 ns 手前から最大値より 200 ns 後ま での区間を設定している。実際に得られた T1 と T2 の QDC 分布の例を図 3.21、図 3.22 に示す。



図 3.21: トリガーカウンタ T1 の QDC 分布。赤線はビーム通過イベントの選択区間。



図 3.22: トリガーカウンタT2のQDC分布。赤線はビーム通過イベントの選択区間。

同様の手順で T3、T4 についても QDC 分布を導出した。QDC のカットは電子がドリ フトチェンバーを通過したことを保証するため、ビーム粒子が通過した最小電離損失であ るイベントを選択した。例えば図 3.22 に示す T2 の QDC 分布における小さい方のピーク は、電子が上流のトリガーカウンタを通過した際にγ線を放出し、そのγ線を下流のトリ ガーカウンタが検出してしまう等のドリフトチェンバーでは検出できないようなイベント を含んでいると考えられる。以下の表 3.4 にそれぞれのトリガーカウンタにおける QDC のカット条件を示す。

トリガーカウンタ	条件
T1	0 < QDC < 40 pC
T2	$50 < \mathrm{QDC} < 160 \ \mathrm{pC}$
T3	$10 < \mathrm{QDC} < 80 \ \mathrm{pC}$
T4	5 < QDC < 70 pC

表 3.4: トリガーカウンタの QDC カット条件



図 3.23: QDC カット後のドリフトチェンバーの LTDC 分布の例。この LTDC 分布は図 3.18 の時と同じパラメータセットとなっている。また、3 つの layer 全てのチャンネルの LTDC の値を同じヒストグラムに集積した。

3.6.2 ASAGI ASD カード 閾値電圧の決定

試験では予め選定したパラメータごとにテスト実験環境でのノイズレベルを調べるた め、ASAGI ASD カードのデジタル出力の閾値電圧を変化させながら最適な閾値を探した。 テスト用チェンバーの印加電圧は、先行研究にて同じチェンバーに GNA-200 32ch ASD カードを使用した際の適正印加電圧である 2.15 kV に固定して行った。この時、信号レー トは数百から数千 Hz だが、ASAGI ASD カードの設定飛びが起こり、信号が出力されな いという問題が発生した。原因としては、回路内のインダクタンスによる電圧誘起によっ てベースライン電圧が変動し、安定動作しづらくなっているからだと考えられる。対応策 として、第2章で述べたデジタル信号の出力極性を反転できるという特性を使った。出力 極性を偶奇 ch で入れ替え、誘起される電圧の極性を逆にすることでそれぞれ打ち消うこ とが期待される。果たして、全 ch の極性が同じものよりも低い閾値を設定することが出 来るようになった。このことは、本論文の直接の目的ではなかったが、ASAGI ASD カー ドの負の特性を示し、今後の ASAGI ASD カードの改良の機会における課題の1つをあ きらかにした。

図 3.24 に ASAGI ASD カードの閾値電圧と検出効率の関係のグラフの例を示す。



図 3.24: ASAGI ASD カードの閾値電圧と検出効率の関係。横軸が閾値 Vth (mV)、縦軸 が検出効率 (%) となっている。

解析を進めた結果、ASAGI ASD カードのパラメータ候補の検出効率が高くなったパラ メータを表 3.5 に示す。本論文ではこのパラメータを例として解析方法を述べる。

ASAGI param			
SHP	R3*C1		
CSA	R3*C4		
PZC	R4*C3		

表 3.5: 閾値電圧の決定に使用したパラメータ

設定できる閾値は 3.3 mV 刻みであるため、23.1, 26.4, 29.7, 33.0 mV の 4 点でデータ を取得している。閾値電圧と検出効率から最適な閾値を求める際は、300 ns から 900 ns で区間を指定し、LTDCが存在するかで検出効率を出した。ノイズレベルの確認において は、区間の幅の大小に応じて検出効率も同様に増減する。その為、今回は 300-900 ns の 区間における検出効率で評価を行った。検出効率は横ばいになっており、閾値を下げれば 下げるほど、図 3.25 のように LTDC のテールが長くなった。閾値が不要な信号を引っ掛 け、TDC 分布のバックグラウンドが増加していると判断した。したがって、検出効率が 最大になり、かつバックグラウンドの増加が見られない閾値 (Vth) として 33.0 mV と決 定した。他のパラメータでも同様の手順をおこない、適切な閾値 (Vth) を選んだ。



図 3.25: 閾値 29.7 mV 時の LTDC 分布。3 つの layer 全てのチャンネルの LTDC の値を 同じヒストグラムに集積した。テール部分が非常に長くなっている。バックグラウンドが 増加していると考えられる。

3.6.3 検出効率とプラトーカーブ

ASAGI ASD のパラメータと適切な閾値電圧を使用し、テスト用チェンバーの印加電圧 を変化させながらデータを取得した。フィールドワイヤ電圧 (V_f) は-1.90 kV から 0.05 kV 刻みで-2.35 kV まで変化させた。シールドワイヤ電圧 (V_s) は $V_s = V_a \times 0.54$ で設定した。 トリガーカウンタの QDC カット後のドリフトチェンバーの LTDC 分布の例を、図 3.26 に示す。QDC カット後のドリフトチェンバーの LTDC 分布を用いて検出効率を計算して、 ドリフトチェンバーの印加電圧との関係を調べた例を、表 3.6 と図 3.27 に示す。この時、 図 3.26 の赤線の区間である 400 ns から 900 ns に LTDC があるかどうかで検出効率を計 算している。図 3.3 から、約 1 cm のワイヤ間に 2.2 kV の電圧をかけると、ドリフト速度 は約 5 cm/ μ sec となるため、最大でも 200 ns 程でアノードワイヤに到達すると推測され るが、実際の LTDC 分布はテール構造を持つ。先行研究にておいても、LTDC 分布の長 くなったテール部分を含めるように検出効率を算出する区間を定めていたため、今回も長 くなったテール部分を含めるような区間を設定した。先行研究におけるチェンバーの印加 電圧と検出効率の関係を図 3.28 に示す。



図 3.26: QDC カット後のドリフトチェンバーの LTDC 分布の例。この LTDC 分布は図 3.18 の時と同じパラメータセットとなっている。また、3 つの layer 全てのチャンネルの LTDC の値を同じヒストグラムに集積した。

(V_f) [kV]	Vth [mV]	Laver1	[%]	Laver2	[%]	Laver3	[%]
1.90	33.0	31.24	± 0.31	24.45	± 0.29	15.31	± 0.24
1.95	33.0	58.66	± 0.33	46.45	± 0.33	28.77	± 0.30
2.00	33.0	82.72	± 0.25	72.89	± 0.30	50.24	± 0.33
2.05	33.0	94.51	± 0.15	90.50	± 0.19	75.75	± 0.28
2.10	33.0	98.43	± 0.08	97.61	± 0.10	91.27	± 0.20
2.15	33.0	99.54	± 0.04	99.22	± 0.06	97.21	± 0.11
2.20	33.0	99.88	± 0.02	99.73	± 0.03	99.23	± 0.06
2.25	33.0	99.86	± 0.02	99.87	± 0.03	99.81	± 0.03
2.30	33.0	99.78	± 0.03	99.77	± 0.03	99.93	± 0.02
2.35	33.0	99.90	± 0.02	99.74	± 0.03	99.96	± 0.01

表 3.6: チェンバーの印加電圧と検出効率の関係 (ASAGI)



図 3.27: チェンバーの印加電圧と 検出効率の関係 (ASAGI)。

GNA-200 32ch ASD の時と同様のプラトーカーブが得られた。ASAGI ASD において他 に測定したパラメータでも同様のプラトーカーブであった。動作電圧として、3つの layer の検出効率がほぼ 100%になる $V_f = 2.20$ kV 以上が適切であると判断した。

3.6.4 トラッキング解析と検出効率

トラッキング解析には、以下の表 3.7のパラメータで取得したデータを使用した。

 JIUII		-			• • •
ASAG	GI-param		Drif	t chan	aber
SHP	R3*C1		Va	2.20	kV
CSA	R3*C4		Vs	1.18	kV
PZC	R4*C3				
Vth	33.0 mV				

表 3.7: ASAGI ASD とドリフトチェンバーのパラメータ

この解析においてトリガーカウンタの QDC、1st LTDC の値が正常であるイベント (T1,T2,T3,T4のトリガーカウンタを通過しているイベント)を取り扱う。また、トラッキ ング解析に使う TDC のデータは、図 3.29 に示す 1st Leading edge TDC のみを使用した。 実際のドリフトチェンバーの信号は、図 3.17のような綺麗な信号ばかりではなく、山がい

図 3.28: チェンバーの印加電圧と 検出効率の関係 (GNA-200)。

くつかあるような信号が出ることがある。Signal は実際に得られたアナログ波形である。 以降 1st LTDC と省略する。



図 3.29: DRS4 で得られたドリフトチェンバーのアナログ波形。Vth の値次第では、2本 以上の Leading edge が出てしまう。この2本目以降の Leading edge が含まれた分布で解 析を行うと、後述の STC 関数 (図 3.31) が歪み、上手く時間情報を位置情報に直すのが難 しいため、1st Leading edge TDC のみを取り扱うこととした。

始めに、ドリフトチェンバーの1st LTDC 分布から時間情報を位置情報に変換する。その時に用いる関数は、1st LTDC 分布を積分することで得られる。この関数をSTC(Space to Time Conversion) 関数と呼ぶ。これは1st LTDC の分布が、セルの各領域における電子のドリフト速度の分布に相当するからである。図 3.30 に例として、layer1 の1st LTDC 分布を示す。



図 3.30: layer1の1st LTDC分布の例。赤線は積分区間の240 ns を示す。

式(1.1)に示したように、

$$x = \int_{t_1}^{t_2} u(t)dt$$
 (3.3)

となり、位置 x は原点となる時刻 t₁ から電子の到達時刻 t₂ までドリフト速度 (1st LTDC 分布)を積分することで得られる。図 3.30 の場合、t₁ は立ち上がりの 908 ns と決め、そこ から 240 ns 分の 748 ns までを積分した。積分した結果の STC 関数を図 3.31 に示す。図 3.31 の縦軸は、ドリフト距離 8.51 mm で規格化しており、この値は以下の図 3.32 におけ る赤線部の距離を使用している。これは、チェンバーに対して、ビームがほぼ垂直である と仮定しているからである。実際に、T1 と T2 のトリガーカウンタの両方を通る電子は 図 3.33 に示すように最大角度 3.93° に絞られるため、垂直として仮定した。



図 3.31: layer1のSTC 関数。横軸は電子の到達時間、縦軸は電子のドリフト距離。縦軸 の最大値は layer1のセルサイズの合わせて最大ドリフト距離 8.51 mm で規格化している。



図 3.32: セルにおけるドリフト距離。赤線に沿った距離を解析で使用した。



図 3.33: トリガーカウンタを通る電子の最大入射角度。

同様に、layer2, layer3 に対しても STC 関数を求めた。各 layer のセルサイズの違いか ら、積分区間、ドリフト距離の規格化数値も layer 毎に違う。layer2 には 9.10 mm、layer3 には 9.68 mm を使用している。それぞれ、図 3.34 図 3.35、図 3.36、図 3.37 に示す。



図 3.34: layer2の1st LTDC分布の例。赤線は積分区間の270 nsを示す。



図 3.35: layer2のSTC 関数。横軸は電子の到達時間、縦軸は電子のドリフト距離。縦軸 の最大値は layer2のセルサイズの合わせて最大ドリフト距離 9.10 mm で規格化している。



図 3.36: layer3の1st LTDC分布の例。赤線は積分区間の300 nsを示す。



図 3.37: layer3のSTC 関数。横軸は電子の到達時間、縦軸は電子のドリフト距離。縦軸の最大値は layer3のセルサイズの合わせて最大ドリフト距離 9.68 mm で規格化している。

求めた STC 関数を用いて、時間情報を位置情報に変換することでアノードワイヤから の距離を求めることができる。但し、アノードワイヤの左右どちらを通過したかを判別し ないと、あるひとつのイベントにおいて、3 つの layer それぞれ 2 通りずつ、トラックの 候補は 8 通りの組み合わせで存在することになる。トラックを求めるには、最小二乗法を 用いる。(A.1 参照。) 直線による最小二乗法はデータ位置の座標とその誤差から直線の 式を求めることができる。誤差が 3 つの layer で等しいと仮定すると、式 A.9 A.10 から直 線の式が求まる。それぞれのイベントに対して、8 通りの組み合わせに最小二乗法から直 線を引き、残差二乗和が最小になるトラックを真のトラックとする。この時、残差二乗和 とは、STC 関数から求めた通過位置とトラックとの差の二乗の和を指す。これは、式の 変形で得られる σ² χ² と同じである。直線トラックの例を図 3.38 に示す。



図 3.38:2番と4番、7番ワイヤーそれぞれの左右でSTC関数からの位置が求まるため、 各ワイヤ毎に緑の点と赤の点の2通りずつ存在することとなる。残差二乗和が最小にな るトラックを判定することで、赤線で示したトラックを正しいものとして得ることがで きる。

全イベントに対して、トラックを引けたか否かで検出効率を求めた。式は以下の式(3.4) ようになる。

表 3.7 に示したデータセットでは、検出効率が 83.99±0.21 %と求まった。これは、印

加電圧と検出効率の関係を求めた際の表 3.6 における (V_a) が 2.20 kV の時、3 つの layer の 積で求まる検出効率 96.55 ± 0.12 %より低い値となっている。

3.7 信号幅

??節の図 3.17 にて説明した Trailing edge の出た時刻から Leading edge の出た時刻を 引いて、信号幅を算出する。但し、3.6.4節の図 3.29 にて述べたように、Vthの値次第で は、2本以上のLeading edge と Trailing edge が出てしまうため、複数の組み合わせで信 号幅が計算出来てしまう。ここでは、1つ目の Leading edge と Trailing edge を用いて求 めた信号幅について述べる。パラメータセットは、表 3.7 と同じものを使用した。得ら れた信号幅の分布を図 3.39 に示す。信号幅 10 ns 以下は ASAGI ASD カードで設定した Vth に、図 3.29 で見られるようなノイズ等の小さなピークが引っ掛かり、Leading edge と Trailing edge が出てしまっていると考えられるためカットしている。3.4 節でも述べた ように、E50 実験では高計数率環境 (最大 300 kHz/ワイヤ) となることが予想されている ため、式(3.1)から、信号の重なりを抑え、検出効率 99 %以上を得るには 33 ns 以下の 信号幅が望ましい。しかし実際に得られた信号幅は約100 ns-300 nsとなっており、レイ ヤ当たりの検出効率は約 90 %–97 %になると予想される。ドリフトチェンバーのセルサ イズによる TDC 分布の違いや、上記の検出効率が最大計数率下での見積もりであること 等、考慮しなければならない点はまだまだ多く残っている。今後の展望として、実際に高 レート試験を行うことで検出効率を評価し、E50実験での高計数率環境に耐え得るか評価 をする必要がある。



図 3.39: 表 3.7 のパラメータを使用して得られた信号幅。信号幅 10 ns 以下は ASAGI ASD カードで設定した Vth に、図 3.29 で見られるようなノイズ等の小さなピークが引っ 掛かり、Leading edge と Trailing edge が出てしまっていると考えられるためカットしている。

3.8 位置分解能

位置分解能を出すパラメータセットも、表 3.7と同じものを使用した。トラッキング手法も 3.6.4 節と同じである。トラックを引いた際の残差二乗和は $\sigma^2 \chi^2$ となる。select データにおいて、得られた残差二乗和の分布を図 3.40 に示す。トラックを引く際、3 点を直線で近似しているため、自由度は1となる。よってこの分布は自由度1の χ^2 分布に従うべきものであり、自由度1の χ^2 でフィットしている。しかし、あまりフィットが上手くいっておらず、 χ^2 分布に従っていないように見える。 χ^2 が大きいイベントは適切なトラックを選別できなかったものとし、全体の 95%となる 50.3 mm^2 以下のイベントを使用する。これは位置分解能を評価する上でほとんど影響を与えない。



図 3.40: 残差二乗和の χ^2 フィット。

図 3.41、図 3.42、図 3.43 に、横軸をドリフト距離、縦軸をドリフト速度とした X-T プ ロットを各 layer 毎に示す。赤のプロットは STC 関数、黒のプロットはトラックから決 定した粒子の通過位置である。STC 関数からある程度の幅をもって分布しているのが分 かる。



図 3.41: layer1のX-T プロット。横軸はドリフト時間、縦軸はドリフト距離である。縦軸は8.51 mm で規格化している。



図 3.42: layer2のX-T プロット。横軸はドリフト時間、縦軸はドリフト距離である。縦軸は 9.10 mm で規格化している。



図 3.43: layer3の X-T プロット。横軸はドリフト時間、縦軸はドリフト距離である。縦軸は 9.68 mm で規格化している。

以下に横軸をドリフト距離、縦軸を残差とした図 3.44, 3.45, 3.46 を各 layer ごとに示 す。これらドリフト距離と残差の分布より、2つの成分が混じって存在しているように見 える。



図 3.44: layer1 のドリフト距離と残差の関係。横軸がドリフト距離 [mm]。縦軸が残差。 [mm]



図 3.45: layer2のドリフト距離と残差の関係。横軸がドリフト距離 [mm]。縦軸が残差。 [mm]



図 3.46: layer3のドリフト距離と残差の関係。横軸がドリフト距離 [mm]。縦軸が残差。 [mm]

次に、トリガーカウンタ T1 と T2 を通過するという物理的条件によるカットを行う。 ビームの進行方向をz とおき、右手系でxとyを決めている。 A.1 の直線近似式はx = az+ bとなることに注意する。式 A.9 における、トラックの傾き a の分布について図 3.47 に 示す。本来傾き a の値は、トリガーカウンタ T1、T2 の両方を通る場合の最大角度 3.93 ° から、絶対値で 0.069 以内に収まらなければならない。しかし非常に幅広い分布となって いる。式 A.10 における、トラックの切片 b の分布について図 3.48 に示す。この解析では z = 0をトリガーカウンタ T1 に設定しているため、本来切片 b は T1 の幅である 30 mm、 T1 の中心を 0 として 絶対値で 15 mm の範囲に分布しなくてはならない。しかし非常に 幅広い分布となっている。



図 3.47: トラックの傾き *a* の分布。赤線はトリガーカウンタ T1、T2 の両方を通る場合 のカット範囲。



図 3.48: トラックの切片 b の分布。赤線はトリガーカウンタ T1 の幅によるカット範囲。

STC 関数から求めた粒子の通過位置と、トラックによって得られた電子の通過位置の 残差の分布をガウス関数でフィットしその σ から、標準偏差を求めた。(式 A.24, A.25, A.26 参照。) 以下の図 3.49 に各 layer の残差分布を示す。また、得られた位置分解能を表 3.8 に示す。



図 3.49: 残差分布のガウスフィット。左から順に layer1, layer2, layer3 となっている。横軸は残差、縦軸はイベント数である。

	残差の $\sigma[\mu m]$	位置分解能 [µm]
layer1	545 ± 7	1335 ± 17
layer2	1090 ± 14	1335 ± 17
layer3	545 ± 7	1335 ± 17

表 3.8: 残差と位置分解能

このようにフィットが全く上手くいっておらず、位置分解能が先行研究 (約 200 µm) と 比べてもかなり大きくなってしまっている。そしてトラックを引けた本数が 9342 本と、ト リガーイベントの総数 22665 イベントで割ると、トラック効率が 41 %とかなり低くなって しまう。残差とドリフト距離の分布における 2 つの成分も踏まえて、次節にて考察する。

3.9 考察

先の節では全イベントに対してトラックを引き、トラックの傾き *a* と切片 *b* によるカットを行った。それにより、誤った組み合わせのトラックが複数本引けていたことになる。

この節では先に T1 と T2 を通るような正しいイベントを選択してからトラックを引くこ とにする。これにより得られた残差分布とドリフト距離の分布を 3.50, 3.51, 3.52 に示 す。正しいイベントの選択により、波模様の成分のみ残る。つまり、図 3.44, 3.45, 3.46 において、残差の中央に位置していた成分は、誤ったイベント選択によって、残差二乗和 0としてトラック引いてしまっていたことになる。



図 3.50: 正しいイベントによる layer1 のドリフト距離と残差の関係。横軸がドリフト距離。縦軸が残差。



図 3.51: 正しいイベントによる layer2 のドリフト距離と残差の関係。横軸がドリフト距離。縦軸が残差。



図 3.52: 正しいイベントによる layer3 のドリフト距離と残差の関係。横軸がドリフト距離。縦軸が残差。

次に波模様の原因について考察する。位置分解能はこの波模様によって悪化していると 考えられる。

横軸に各 layer における電子の通過位置とドリフト速度、縦軸をドリフト時間とした分 布を layer 毎に図 3.53, 3.54, 3.55 に示す。



図 3.53: layer1 における電子の通過位置とドリフト距離の関係。横軸はビームに乗って 右手系でx方向の中心を0とした電子の通過位置。縦軸は電子のドリフト距離。



図 3.54: layer2 における電子の通過位置とドリフト距離の関係。横軸はビームに乗って 右手系でx方向の中心を0とした電子の通過位置。縦軸は電子のドリフト距離。



図 3.55: layer3 における電子の通過位置とドリフト距離の関係。横軸はビームに乗って 右手系でx方向の中心を0とした電子の通過位置。縦軸は電子のドリフト距離。

layer2の電子の通過位置とドリフト距離の相関が曲線状に大きく歪んでいる。本来であ れば layer1 や3の様に直線相関にならなければならない。原因は layer2 における STC 関 数の歪みにある。図 3.56 のような状況を考える。T1 と T2 をトリガーとしているため、 幅 30 mm を通過したビームによる LTDC 分布が記録される。均等に照射されるような理 想的なビーム、時間的誤差のない理想的な TDC モジュールであると考えた時、layer1 と 3 でも同様のことが起こるが、中央のセルについては均等に電子ビームが通るため、LTDC 分布は均等になると期待される。よって、layer1 と 3 については、中央のセルの LTDC 分 布から求めた STC 関数を求めた。他のセルについて適用することで、通過位置とドリフ ト速度の相関において比較的よい直線的な相関が得られた。一方 layer2 では、アノードワ イヤ間には均等に照射されるが、セル1つに対しては均等に照射されず、図 3.56 右に示 す通り、アノードワイヤ近傍に偏りをもって LTDC が分布してしまう。この LTDC をも とに積分をすると、LTDC は平らに分布していないため、立ち上がりの傾きが大きく途中 で折れ線のような形になる。これを基にドリフト速度から電子のヒット位置に変換されて しまうため、ドリフト距離が歪んだような分布となる。



図 3.56: 今回の実験における、ビーム、トリガーカウンタ、ドリフトチェンバーのセル の状況 (左) と layer2 の TDC 分布の歪みの概略図 (右)。ビームの当たり方から LTDC 分 布の違いが生まれる。

電子の通過位置とドリフト速度の相関が歪むことで、本来通過した位置からずれが生 じ、トラックを引いた際の残差及び残差二乗和が増加してしまう上、残差とドリフト距離 の関係に波模様が見えてしまう。理想的であれば傾き1の直線状の分布になるはずである ので、これらの相関の分布にフィッティングを行い、逆関数を掛けることで、直線状に補 正を行う。layer2の過位置とドリフト速度の相関の一部分(電子の通過位置 0-9 mm、電 子のドリフト距離 0–-9 mm) において補正を行った様子を例として図 3.57 に示す。layer1 や3においても少し歪みがあるため、同様の手順で補正を行った。この補正により得られ た残差とドリフト距離との関係を各 layer ごとに図 3.58, 3.59, 3.60 に示す。



図 3.57: 電子の通過位置とドリフト速度の相関の補正。右図が補正前。左図が補正後。共 に横軸が電子の通過位置、縦軸がドリフト距離となっている。



図 3.58: 補正後の layer1のドリフト距離と残差の関係。横軸がドリフト距離。縦軸が残差。



図 3.59: 補正後の layer2のドリフト距離と残差の関係。横軸がドリフト距離。縦軸が残差。



図 3.60: 補正後の layer3のドリフト距離と残差の関係。横軸がドリフト距離。縦軸が残差。

まだ誤ったトラック情報が含まれているため、残差二乗和の値でカットを行う。真のト ラックを落とさないような、残差二乗和の値を探した。真のトラックを落とし始めると急 激にトラック効率が落ちると仮定して、その分岐点を探す。図 3.61 に残差二乗和のカッ トの値とトラック効率の変化のグラフを示す。このように、残差二乗和のカットの値が大 きい所では、直線的にトラック効率が下がるが、残差二乗和が 224 mm² の点において近 似直線からはずれ、トラック効率が急激に落ちる。224 mm² までは一定の割合で減少し ていることから、真のトラックイベントに対して残差分布がほぼ均等に広がる、誤ったト ラック成分が存在すると推定される。この点カットをするとトラック効率は 84.5 %となっ た。各 layer の検出効率 99.88 %, 99.73 %, 99.23 %の積と、LTDC のカット区間を狭めた 分の補正として各 1 ayer 毎の LTDC 面積比から求めた 96.00 %, 95.37 %, 96.66 %をかけ 合わせると 87.5 %となるので、上述の値をおおよそ説明できる。。カット後の残差二乗和 のガウスフィットを図 3.62 に示す。この時の位置分解能は、表 3.9 のようになった。位置 分解能について目標値 (200 μ m) を十分上回る値が得られた。



図 3.61: χ^2 カットの値とトラック効率。横軸が χ^2 カットの値。縦軸がトラック効率。



図 3.62: 補正後の残差二乗和のガウスフィット。

	衣 3.9: 止しい位直万件庇		
	残差の $\sigma[\mu m]$	位置分解能 $[\mu m]$	
layer1	57.6 ± 0.7	141 ± 2	
layer2	115 ± 1	141 ± 2	
layer3	57.6 ± 0.7	141 ± 2	

表 3.9: 正しい位置分解能

本研究の性能評価により、各 layer の検出効率 99 %以上、位置分解能 141 ±2 µm を得 た。Ar:CO2(90:10) ガスを用いたドリフトチェンバーにおいて ASAGI ASD カードが十分 な性能を発揮することを確認した。
第4章 本研究のまとめ

本研究では、チャーム・バリオン分光実験 (E50 実験) に用いるドリフトチェンバーの 信号読み出し回路として、ASAGI ASD カードの開発を行った。ASAGI ASD カードは、 AGASA ASIC と呼ばれる Belle II 実験用に開発されたチップを搭載している。ASIC の主 な機能として、32 ch の信号を入出力可能、amplifier, shaper, discriminator を内蔵、正負 両方の入力電荷と対応している。デジタル出力も両方の極性で出力可能である。また、回 路内部における電荷増幅器、ポール・ゼロキャンセル、波形整形器、これらアンプにおけ る容量と抵抗の接続数を一定の範囲内で変更することで、ゲインや信号幅の調整が可能 である。E50 実験では、高計数率環境 (最大 300 kHz/ワイヤ) となることが予想されてい るため、信号の重なり (パイルアップ) を抑え、検出効率を 99 %以上に保つためには、 33 ns 以下の信号幅が望ましい。

ASAGI ASD カードが、従来用いられてき ASD カードと同等以上の性能を持つことを 確認するために、先行研究にて GNA-200 ASD カードを使用し、チェンバーとしての性 能が分かっているテスト用チェンバーに ASAGI ASD カードを繋いだ試験を行った。テ スト用チェンバーのサイズは300 mm×890 mm×140 mm となっており、前面と後面には 200 mm×740 mm のウインドウがついている。ワイヤは縦方向に張られているため、奥 行方向から入射してきた荷電粒子に対して横方向の通過位置の情報が出せる。E50実験で 使用予定の、安価で安全性の高いアルゴン Ar と二酸化炭素 CO2 を 90:10 で混合したガス を用いた。まず始めに、テストパルスを用いた動作確認を行った。パラメータの組み合わ せ一つ一つの信号幅、出力波高を調べた。これによりパラメータの違いによる信号増幅の 仕方、信号幅の変化等が設計で想定されている通りの動作を行うことを確認した。次にB 線源には⁹⁰Sr を用いた試験を行った。この試験では、SPring-8 におけるビーム試験に使 用するパラメータの選定をおこなった。ASAGI ASD カードを E50 実験で用いることを .想定し、時定数の小さいパラメータを順に 2 つ (SHP:R1*C2、CSA:R3*C4、PZC:R4*C3 と、SHP:R3*C1、CSA:R3*C4、PZC:R4*C3) を選んだ。また、SPring-8 LEPS2 ビーム ラインにて電子ビームを用いた試験を行った。ドリフトチェンバーに繋いだ実験を行い、 飛跡検出を行うことで、各 laver の検出効率 99 %以上、位置分解能 141 ±2 µm を得た。 Ar:CO2(90:10) ガスを用いたドリフトチェンバーにおいて ASAGI ASD カードが十分な性 能を発揮することを確認した。

謝辞

本研究及び修士論文の執筆にあたり、多くの方々にお世話になりました。初めに、指導 教員である野海博之教授には、毎週のミーティングで研究に関する助言を頂きました。発 表、修士論文の内容や文章の構成など何度も見ていただきました。時に厳しく、誤った方 向に進もうとする私を諫めてくださりました。心より感謝申し上げます。

もう一人の指導教員である白鳥昂太郎助教には、テスト実験や解析において右も左も分 からない私に、一から指導していただきました。失敗をしても責めず、そうなってしまっ た理由を一緒に考えてくださり、たくさんの成長の機会をいただきました。また、発表及 び修士論文執筆など手厚く指導をしていただきました。テスト実験おいても夜遅くまで付 き合っていただき、本当にありがとうございました。

KEK の本多良太郎准教授には、毎週のミーティングにて実験に使用する HUL モジュー ルやその解析方法について等、たくさんの助言をいただきました。同じく KEK の宮原正 也准教授には、ASAGI ASD カードにおける ASD 回路について詳しく教えていただき、 稚拙な質問についても丁寧に答えてくださいました。HUL モジュール、AGASA ASIC、 および ASAGI ASD カードの設計はお二方によるものであり、私の修士論文のおいて根 幹となるものです。大変感謝し申し上げます。

今回のテスト実験のためビームを利用させていただきました SPring-8, LEPS グループ の皆様にお礼を申し上げます。そして、共通 DAQ 開発の共同体 SPADI Alliance のタス クフォースの一つである ASAGI ASD card の研究開発に、グループの一員として一緒に 研究をさせていただけましたこと、深く感謝し申し上げます。

他にも、大田晋助准教授、小林信之准教授にはLEPS2でのテスト実験準備を手伝って いただきました。石川貴嗣教授には、学会等の概要集における文章の校正をしてくださり ました。また研究室が近いこともあって、よく私のことを気にかけてくださりました。

同期の徳田恵君、戸田匡哉君にはテスト実験を手伝ってもらったり、わからないことを たくさん教えてもらいました。出張等で共に行動することが多く、研究生活を楽しく過ご すことが出来ました。また、研究テーマは違いましたが核物理研究センターの同期である 新名嶺偉君、三好剛君とは、様々な議論をしたり、他愛のない会話をしたりして、大学院 生活を楽しく送ることができました。関わってくださった多くの方々に深く御礼申し上げ ます。

73

付録A 最小二乗法による直線近似

A.1 近似直線の係数と誤差

N 個のデータ点 (x_i, y_i) を直線の式 y = ax + b で近似する [15]。この時、 x_i には誤差がなく、 y_i の誤差を σ_i と置く。最小二乗法では、

$$\chi^{2} = \sum_{i} \left(\frac{y_{i} - (ax_{i} + b)}{\sigma_{i}}\right)^{2}$$
(A.1)

と定義した χ^2 が最小となる a,b を求める方法である。 χ^2 が二次関数であることから、a とりによる偏微分が 0 となる時、最小となるため、

$$\frac{\partial \chi^2}{\partial a} = 0, \frac{\partial \chi^2}{\partial b} = 0 \tag{A.2}$$

となり、これを解いて、

$$\begin{pmatrix} \sum \frac{y_i x_i}{\sigma_i^2} \\ \sum \frac{y_i}{\sigma_i^2} \end{pmatrix} = \begin{pmatrix} \sum \frac{x_i^2}{\sigma_i^2} & \sum \frac{x_i}{\sigma_i^2} \\ \sum \frac{x_i}{\sigma_i^2} & \sum \frac{1}{\sigma_i^2} \end{pmatrix} \begin{pmatrix} a \\ b \end{pmatrix}$$
(A.3)

ここで、誤差 σ_i がすべてのデータ点で共通であれば、a,bは誤差の値によらずデータ点の位置座標のみで決まるので、 σ_i の係数は全て消えて、

$$\begin{pmatrix} \sum y_i x_i \\ \sum y_i \end{pmatrix} = \begin{pmatrix} \sum x_i^2 & \sum x_i \\ \sum x_i & \sum 1 \end{pmatrix} \begin{pmatrix} a \\ b \end{pmatrix}$$
(A.4)

となる。ここで、

$$S_1 = \sum_i 1 \tag{A.5}$$

$$S_x = \sum_i x_i \tag{A.6}$$

$$S_{xx} = \sum_{i} x_i^2 \tag{A.7}$$

$$D = S_{xx}S_1 - S_x^2 \tag{A.8}$$

とおくと、

$$a = \frac{1}{D} \sum_{j} (S_1 x_j - S_x) y_j$$
 (A.9)

$$b = \frac{1}{D} \sum_{j} (S_{xx} - x_j S_x) y_j$$
 (A.10)

を得る。式 A.9, A.10 から、

$$\frac{\partial a}{\partial y_j} = \frac{1}{D} (S_1 x_j - S_x) \tag{A.11}$$

$$\frac{\partial b}{\partial y_j} = \frac{1}{D} (S_{xx} - x_j S_x) \tag{A.12}$$

を用いて、

$$\Delta a^{2} = \sum_{j} \left(\frac{\partial a}{\partial y_{j}}\right)^{2} \sigma_{j}^{2}$$
$$= \frac{1}{D^{2}} \sum_{j} (S_{1}x_{j} - S_{x})^{2} \sigma_{j}^{2}$$
(A.13)

$$\Delta b^{2} = \sum_{j} \left(\frac{\partial b}{\partial y_{j}}\right)^{2} \sigma_{j}^{2}$$
$$= \frac{1}{D^{2}} \sum_{j} (S_{xx} - x_{j}S_{x})^{2} \sigma_{j}^{2}$$
(A.14)

と表せる。そして、3layerの位置分解能が等しいと仮定して、

$$\sum_{j} (S_{1}x_{j} - S_{x})^{2} = \sum_{j} (S_{1}^{2}x_{j}^{2} - 2S_{1}x_{j}S_{x} + S_{x}^{2})$$

$$= S_{1}^{2}S_{xx} - 2S_{1}\sum_{j} x_{j}S_{x} + \sum_{j} S_{x}^{2}$$

$$= S_{1}^{2}S_{xx} - S_{1}S_{x}^{2} \qquad (A.15)$$

$$\sum_{j} (S_{xx} - x_{j}S_{x})^{2} = \sum_{j} (S_{xx}^{2} - 2x_{j}S_{x}S_{xx} + x_{j}^{2}S_{x}^{2})$$

$$= S_{1}S_{xx}^{2} - S_{xx}S_{x}^{2} \qquad (A.16)$$

と置き換えると、

$$\Delta a = \frac{1}{D} (S_1^2 S_{xx} - S_1 S_x^2)^{\frac{1}{2}} \sigma = \sqrt{\frac{S_1}{D}} \sigma$$
 (A.17)

$$\Delta b = \frac{1}{D} (S_1 S_{xx}^2 - S_{xx} S_x^2)^{\frac{1}{2}} \sigma = \sqrt{\frac{S_{xx}}{D}} \sigma$$
(A.18)

が得られる。

次に残差 rk は以下の式で表される。

$$r_{k} = y_{k} - (ax_{k} + b)$$

$$= y_{k} - \frac{1}{D} \left(\sum_{j} (S_{1}x_{j} - S_{x})y_{j}x_{k} + \sum_{j} (S_{xx} - x_{j}S_{x})y_{j} \right)$$

$$= \frac{1}{D} \sum_{j=0} \{ \delta_{jk}D - (S_{1}x_{j} - S_{x})x_{k} - (S_{xx} - x_{j}S_{x}) \} y_{j}$$
(A.19)

よってその分散は、

$$\Delta r_k^2 = \frac{1}{D^2} \sum_{j=0} \{ \delta_{jk} D - (S_1 x_j - S_x) x_k - (S_{xx} - x_j S_x) \}^2 \sigma^2$$

= $\frac{1}{D^2} \{ D(D - S_{xx}) + 2DS_x x_k - DS_1 x_k^2 \} \sigma^2$ (A.20)

と、表せて、誤差 Δr_k は、

$$\Delta r_k = \sqrt{1 - \frac{S_{xx} - 2S_x x_k + S_1 x_k^2}{D}}\sigma \tag{A.21}$$

となる。

A.2 テスト用チェンバーへの適用

ここまでで求めた結果をテスト用チェンバーに適用する。テスト用チェンバーは 3 層 layer なので、 $S_1 = 3$ である。アノードワイヤ面の間隔は、L = 13.5 mm なので、座標定 義を layer 1 から順に $x_1 = -L$, $x_2 = 0$, $x_3 = L$ とおく。3 つの layer の位置分解能が等しい と仮定すると、式 A.17, A.18 から、

$$\Delta a = \frac{1}{\sqrt{2}L}\sigma\tag{A.22}$$

$$\Delta b = \frac{1}{\sqrt{3}}\sigma\tag{A.23}$$

が得られ、各 layer の残差分布の標準偏差は式 A.21 から、

$$\Delta r_1 = \frac{1}{\sqrt{6}}\sigma\tag{A.24}$$

$$\Delta r_2 = \sqrt{\frac{2}{3}}\sigma \tag{A.25}$$

$$\Delta r_3 = \frac{1}{\sqrt{6}}\sigma\tag{A.26}$$

となり、 $\Delta r_1: \Delta r_2: \Delta r_3 = 1:2:1$ である。

参考文献

- [1] エキゾチックハドロンの発見とその解明 日本物理学会, https://www.jps.or.jp/books/ptep/2016/files/2016_06_invited.pdf
- [2] M. Anselmino *et al.*, Rev. Mod. Phys. 65, 1199 (1993).
- [3] K. Shirotori *et al.*, "Charmed Baryon Spectroscopy Experiment at J-PARC", JPS Conf.Proc. 8 022012 (2015)
- [4] J-PARC ハドロン実験施設拡張計画, http://www.rcnp.osaka-u.ac.jp/jparchua/jp/hefextension.html
- [5] 木村祐太, "チャーム・バリオン分光実験に置けるシンチレーション・ファイバー飛 跡検出器の性能評価", 2022 年度大阪大学大学院理学研究科修士論文.
- [6] 辰巳凌平, "低屈折率エアロゲルを用いた閾値型のエアロゲル・チェレンコフ粒子識 別検出器の性能評価", 2022 年度大阪大学大学院理学研究科修士論文.
- [7] 森津学, "Ξハイパー核分光実験に用いる SksPlus 用ドリフトチェンバーの開発", 2009 年度京都大学大学院理学研究科修士論文.
- [8] 有限会社ジー・エヌ・ディー, GNA-200 32CH ASD D TYPE2+, http://www.gn-d.com/gna200.pdf
- [9] K. Shirotori, private communication.
- [10] Open-It 高エネルギー加速器研究機構/R&D Project/Asic for Gas Amp Shaper discriminAtor(AGASA), https://openit.kek.jp/project/agasa
- [11] Open-It 高エネルギー加速器研究機構/Education/2020/先端エレクトロニクス DAQ セミナー、
 https://openit.kek.jp/training/2020/daq/text/analog-fusayasu.pdf
- [12] F. Sakuma, private communication.
- [13] T. N. Tomonori *et al.*, "Development of a FPGA-based high resolution TDC using Xilinx Spartan-6", Annual Report 2016.

- [14] Hadron Universal Logic module User Guide, https://hul-official.gitlab.io/hul-ug/hardware/main/
- [15] 渡辺極之, "六角セル型ドリフトチェンバーとそのガス特性の研究", 平成14年度東北 大学大学院理学研究科修士論文.