

QTC chipとカスタムCMOS受託に関して

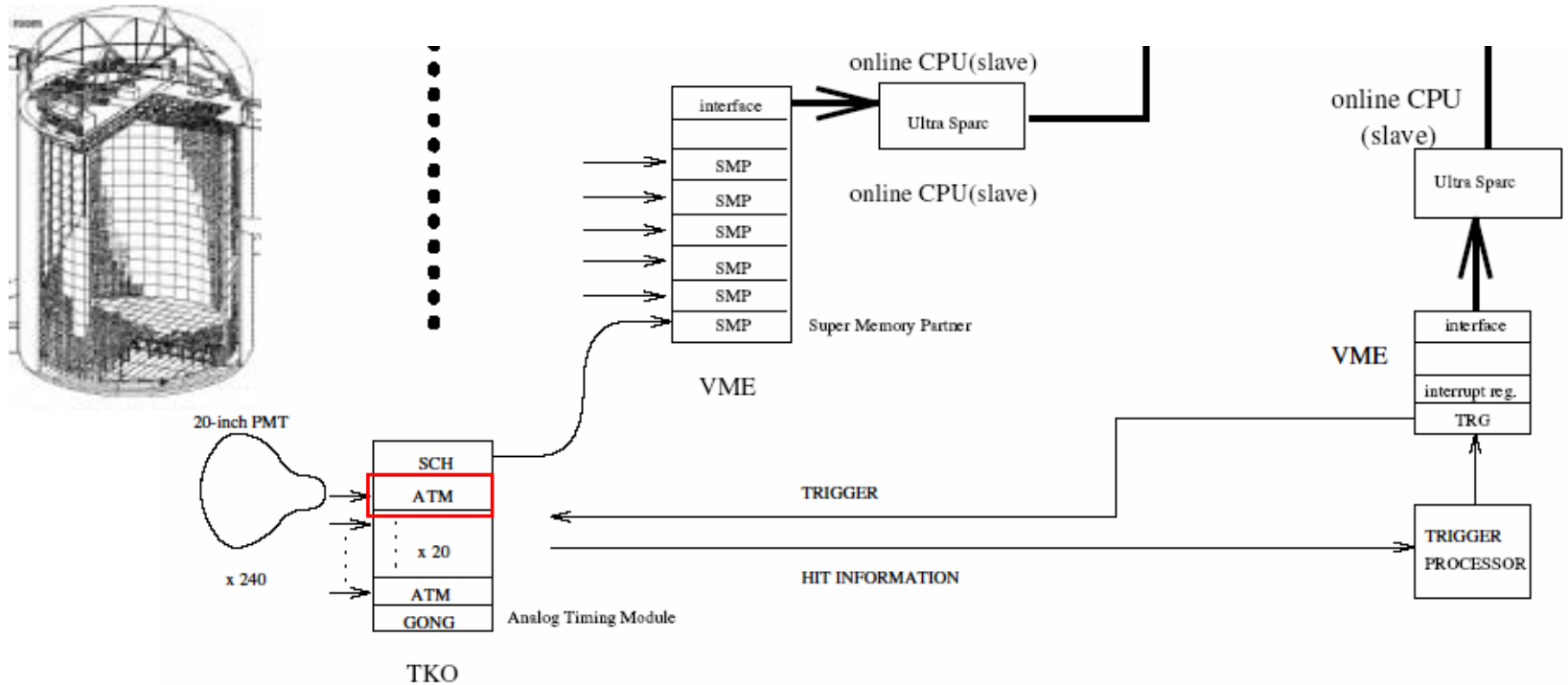
2006年1月27日

岩通計測株式会社

峯岸 篤

QTC LSI（電荷量を時間情報に変換）

Confidential



PMT x 11200

ATM x ~1000

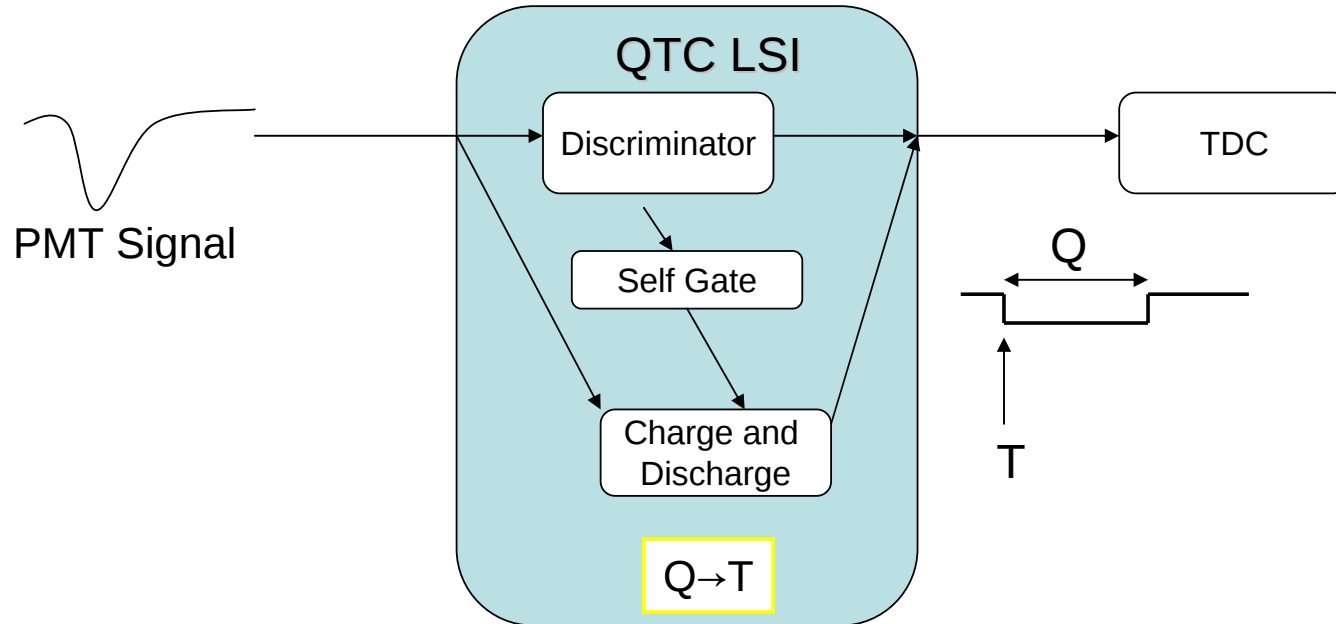
SMP x 48

online CPU(slave) x 9

スーパーカミオカンデのAnalog Timing Moduleで使用する電
荷測定用QTC LSIを開発中

QTC LSIの動作

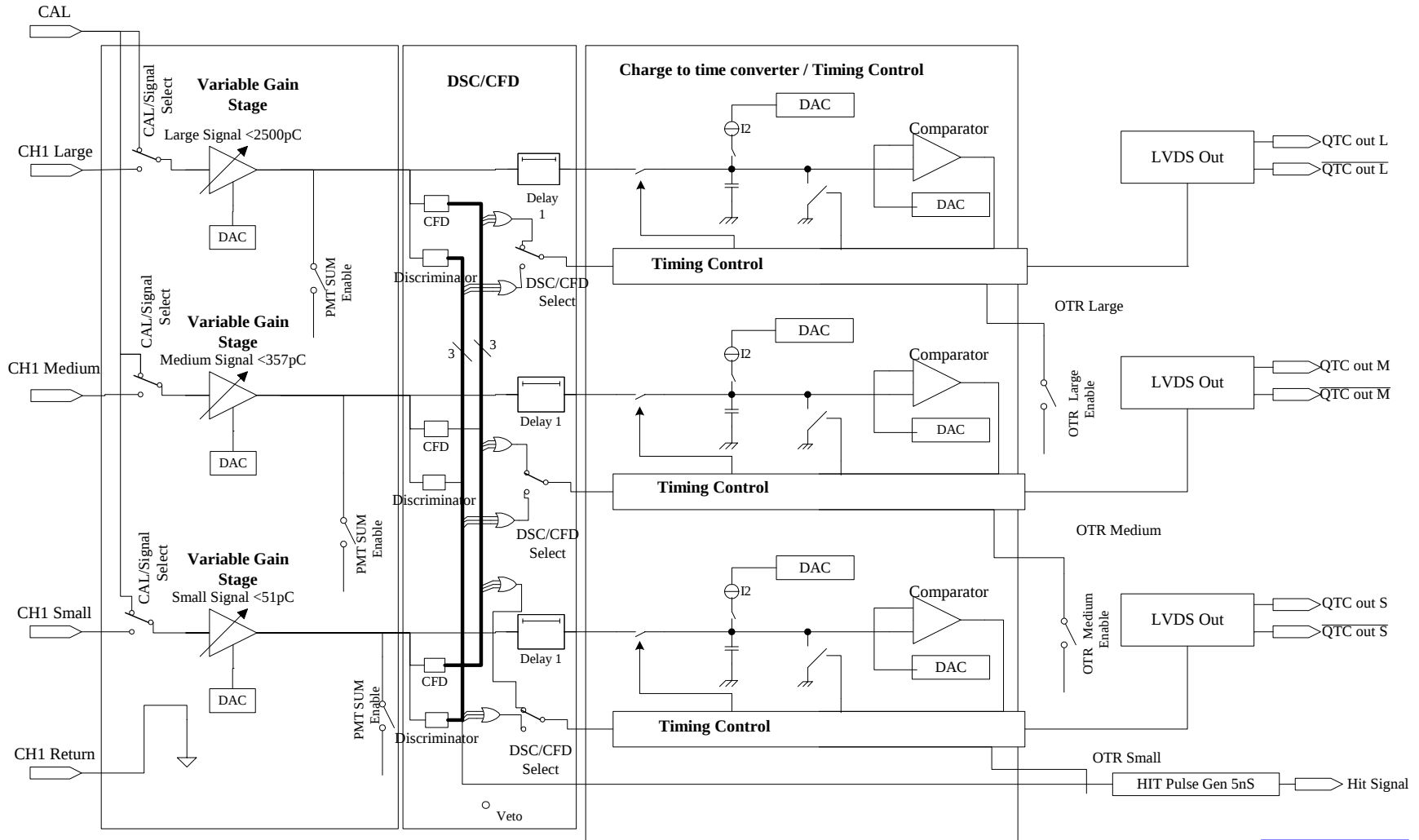
Confidential



- 電荷情報を時間に変換してTDCでAD変換を行う。
- QTCは内部にクロックを持たず、Self gateで内部でタイミング信号を生成する。
- タイミングはランプ波形とコンパレータで設定する。

QTC LSIの構成 (1chあたり)

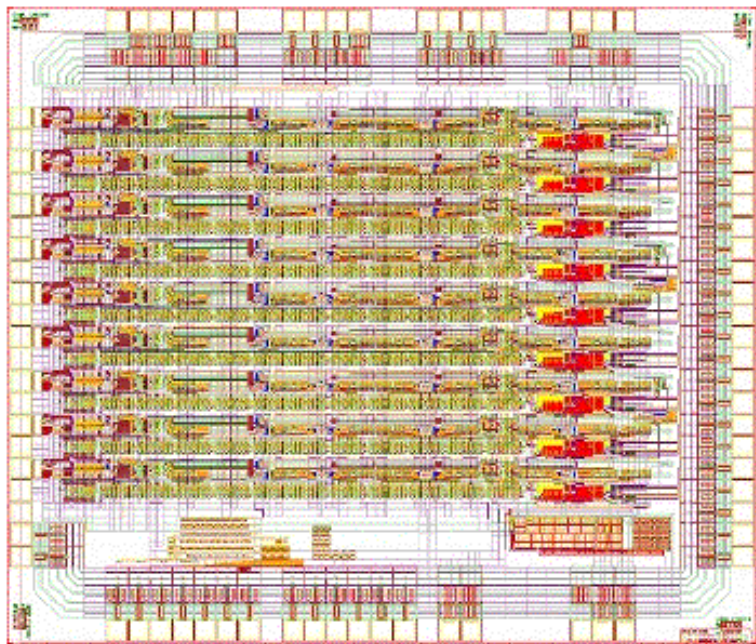
Confidential



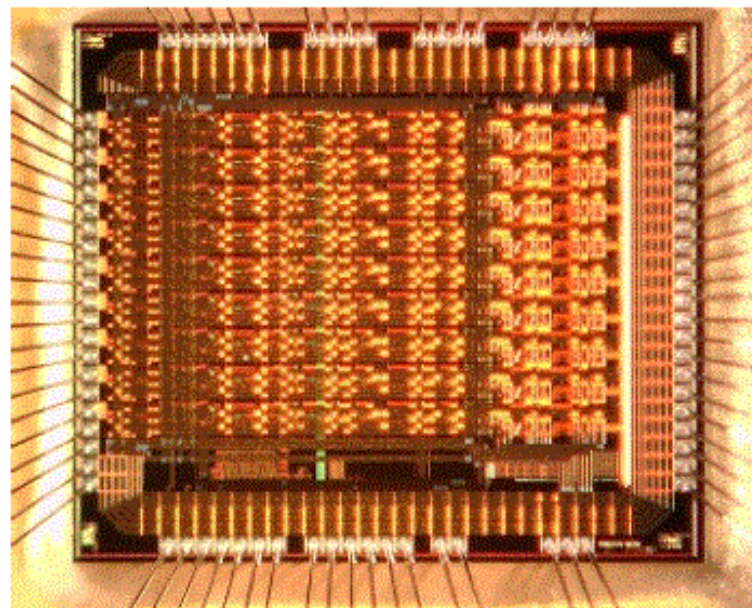
- 入力チャンネル数 3ch(9ステージ)
- 処理速度1 サイクル 500 nsec (可変)
- ダイナミックレンジ ~1250 p.e. (~2500 pC) (可変)
(1 ch につき3 レンジ)
- 電荷分解能 0.1 pC/Count (Small レンジ)
(AMT-TDC 60 MHz 動作時)
- 時間測定精度 0.1 nsec (RMS) 以下
- ディスクリミネータ内蔵 (CFD を選択可能)
- 消費電力 約200 mW/ch
- 電源電圧 3.3 V
- プロセス 0.35 μ m CMOS
- パッケージ 100 pin CQFP

QTC LSI チップ写真

Confidential



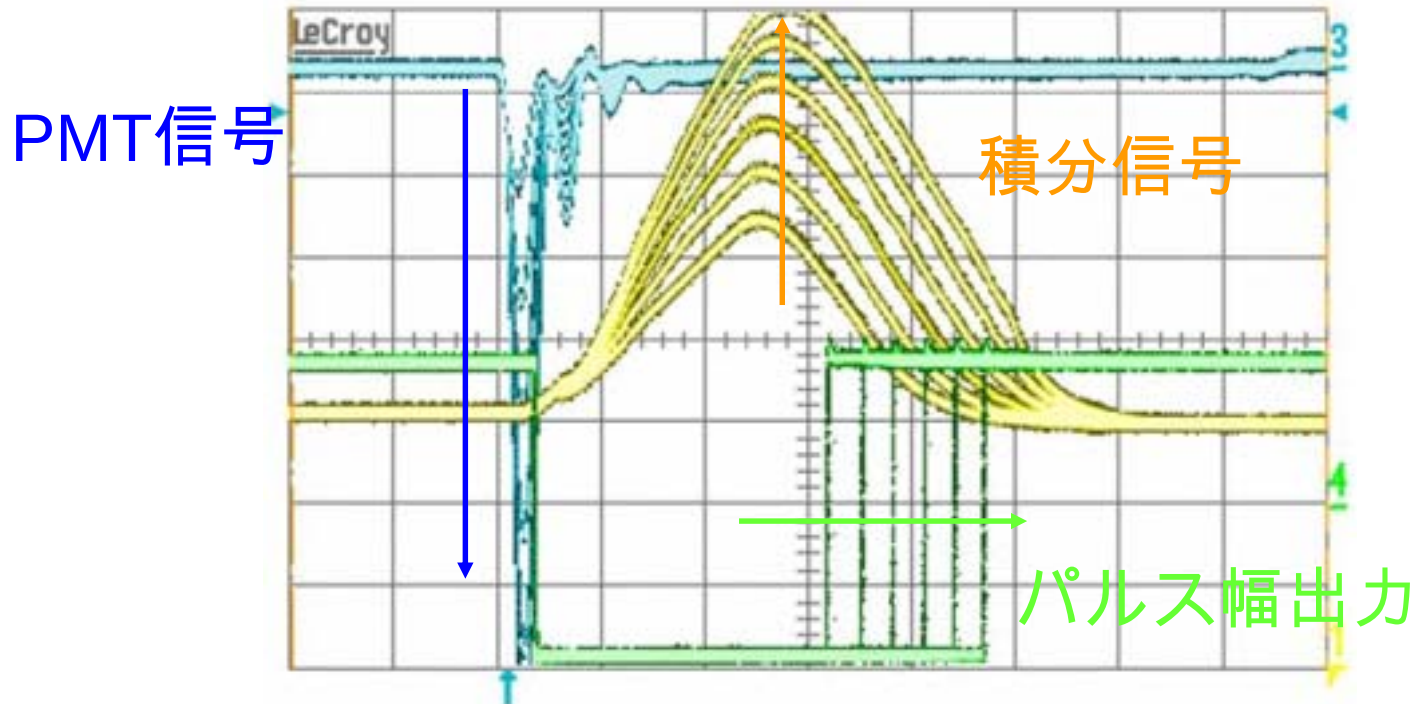
QTC チップのマスキレイアウト図
全部で9本の同様なパターンが並んでいるのが分かる。



QTC チップの写真。
2.9 mm × 3.4 mm 面積9.9mm²
信号は左から入力され、右側から出力される。

QTC出力波形の例

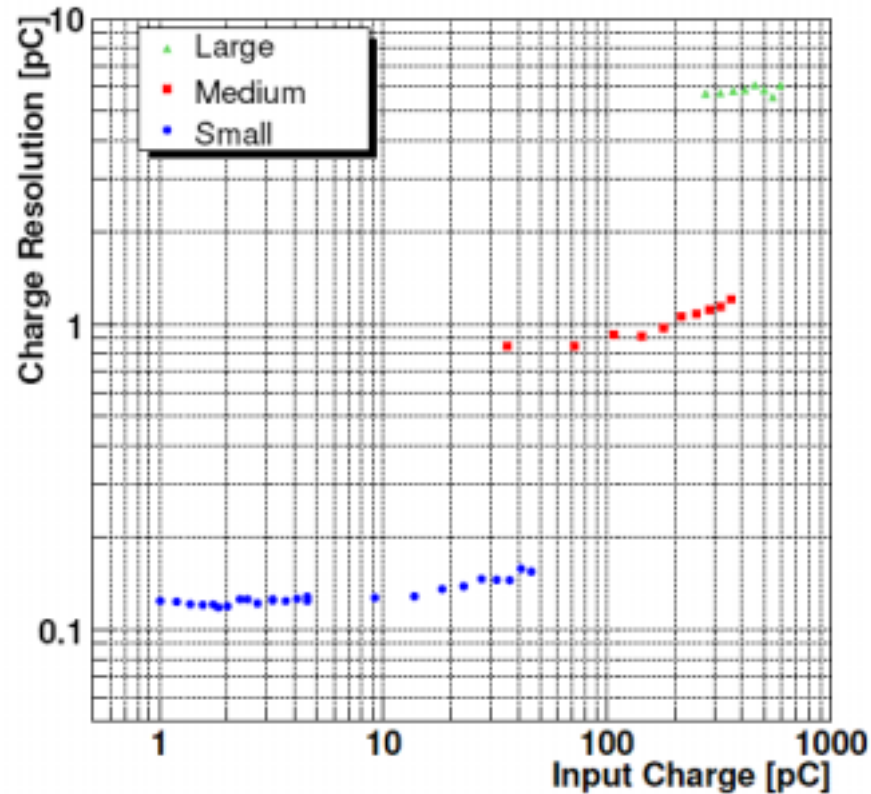
Confidential



青色の波形が入力信号である。緑色の波形はQTC の出力信号を差動プローブにより取得したものである。
黄色の波形はテスト端子から出力される内部の積分信号である。
入力信号の振幅を何通りか変えて、重ね書き表示した。

電荷測定精度と入力電荷

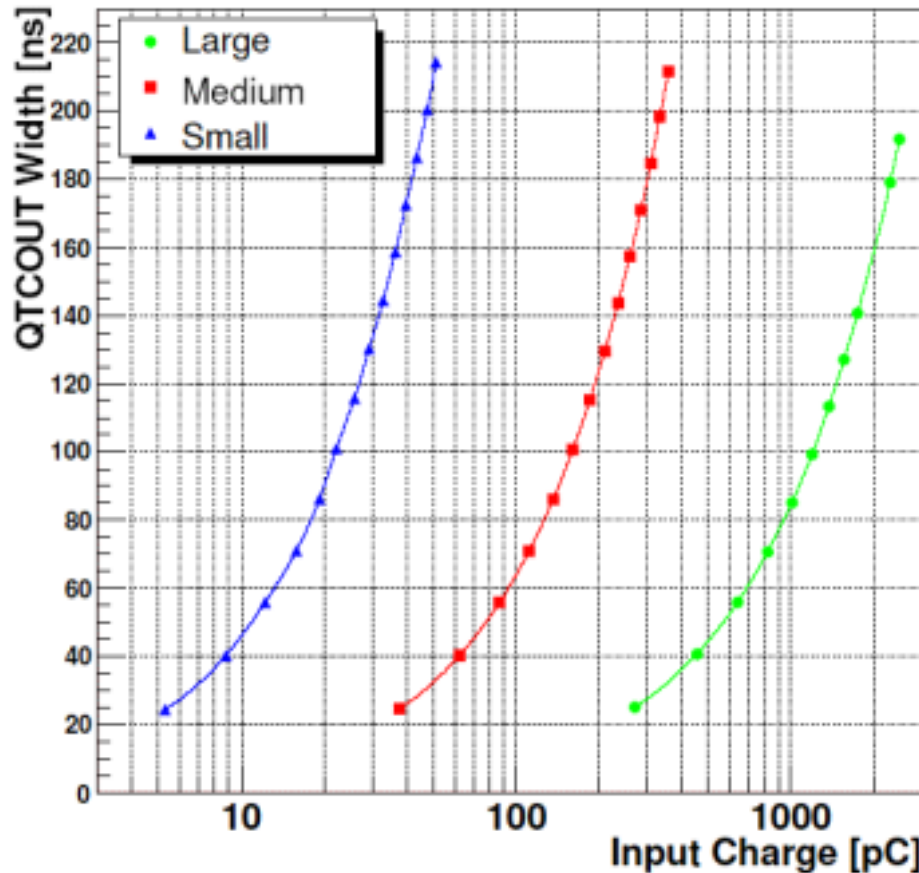
Confidential



3つのレンジにおける電荷測定精度と入力電荷との関係。
Smallレンジではほぼ0.1 pCの測定精度が得られた。

入力電荷と出力時間幅

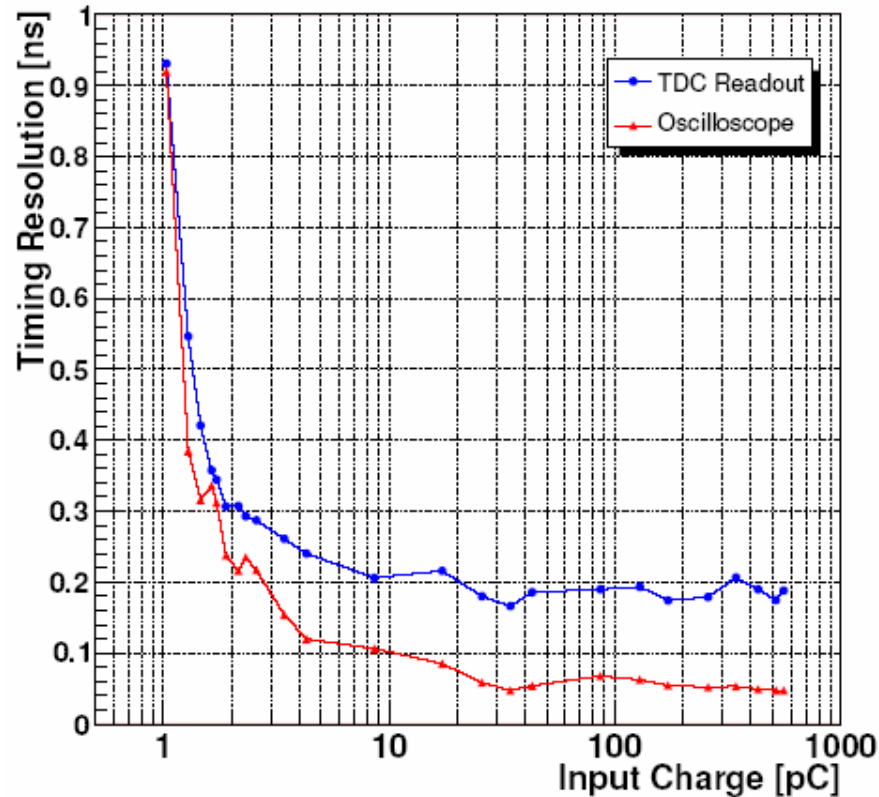
Confidential



入力電荷に対するQTC の3つのレンジのそれぞれの出力信号幅の変化。
最大入力電荷は2500 pC である。

入力電荷と時間測定精度

Confidential



入力電荷と時間測定精度の関係。青色の線はTDCで読み出したときの時間分解能、赤色の線はオシロスコープで測定した時間測定精度である。

- プロトタイプのQTC LSIは基本的に目標とする仕様を満たして動作している。
- 電荷測定ダイナミックレンジに関しては3つのレンジを用いることにより、2500 pC までの電荷を飽和することなく、測定できることが確認された。
- 電荷測定精度については、Small レンジで約0.1 pC の測定精度があることが確認された。
- 動作に若干不安定なところがあるため再設計を行い、現在Complete Design chipを評価中である。
- このQTCチップを8個搭載した24ch構成New ATMボードの開発中である。

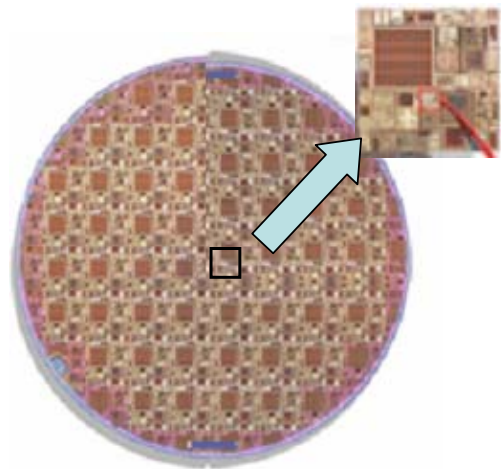
CMOS ASIC受託について

CMOS ASIC受託について

- 国内メーカーは短期間に利益の出るASICにしか興味を示さない。
- 工数抜きで開発費3000万円、量産1億円/年のビジネスが必要。
- 日本の半導体メーカーは確実に動作するものしか受注しない。
要素開発を伴うテーマは受注しない。
 - 開発能力がない。(アナログ設計エンジニアの絶対的不足)
 - 手離れをよくしたい、検査・品質保証工数を使いたくない。
- 海外のファウンダリー
 - 海外メーカーもファブレス化が進みファブが一極集中の傾向に。
 - 海外メーカーも微細加工(0.13 μm ~ 60nm)、大口径ウェハ(30cm)化が進み大量生産には適しているが、受注の敷居は高い。

【MPW】

Multi Project Waferの略。いわゆるシャトルバスサービスと呼ばれるもので、決められたウエハー枚数上に複数デザインを相乗りさせることにより、必要最小ロットを大幅に抑えながら提供することが出来るため、試作や小ロットに有利。

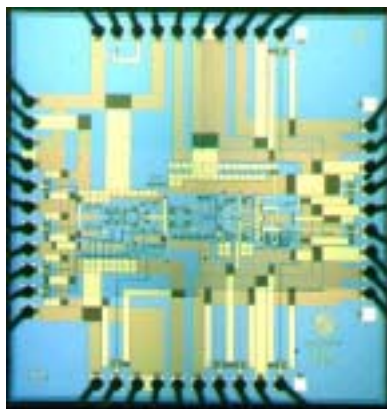


フルウェハでフルカスタムLSIを開発すると数千万円の費用がかかるが乗合バス方式では百～数百万円で試作が可能である。しかし設計、マスキレイアウトは非常に難しい。

岩通計測がお手伝いします

Driver Amplifier

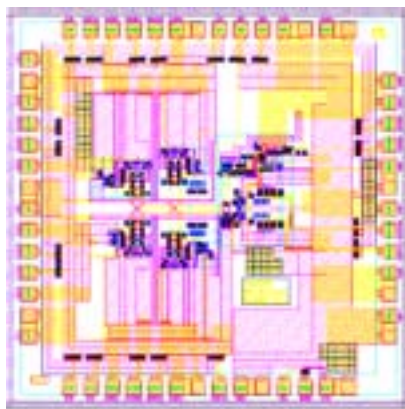
- DC~2GHz
- Gain=26dB
- Vout=10Vp-p



USPT6,462,618
Amplifying circuit with
distortionless outputs

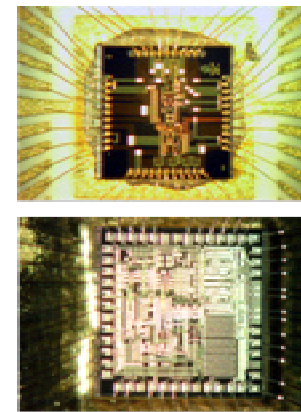
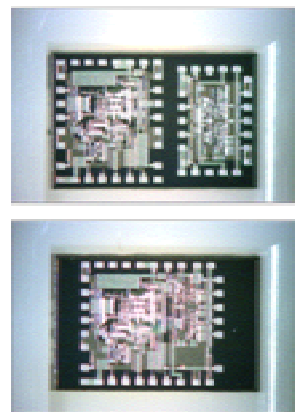
Wideband analog switch

- 4ch input
- DC~3GHz
- Isolation=-70dB@1GHz



USPT6,515,518
Analog switch circuit

Variable Gain Amp Track/Hold Circuit



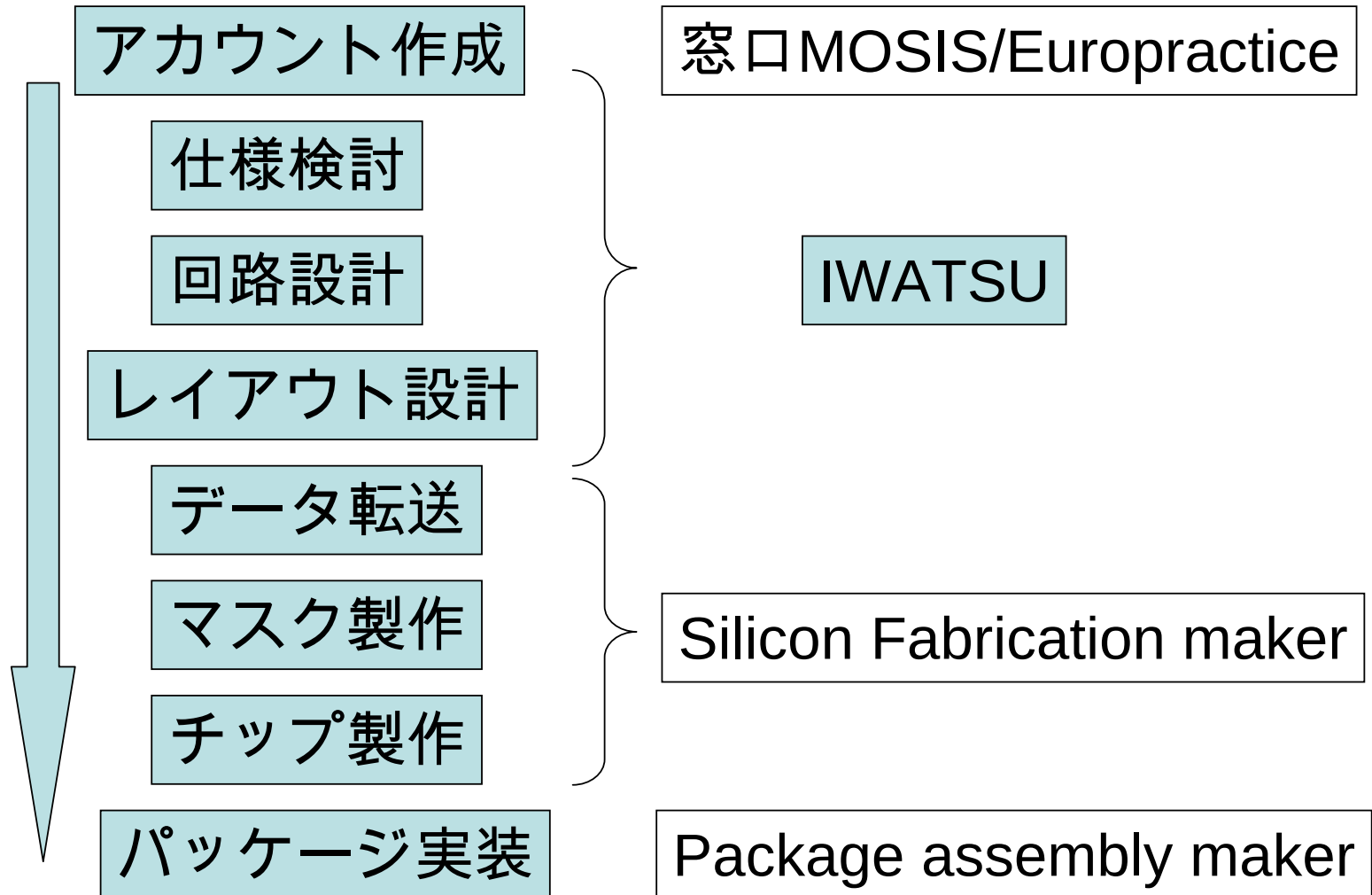
豊富なカスタムASIC開発実績があります。

プロセス(参考)

- TSMC CMOS 0.35, 0.25, 0.18/(0.13)um
- IBM SiGe 0.5, 0.35, 0.25, 0.18um
CMOS 0.25, 0.18, 0.13um
- AMIS CMOS 1.5, 0.7, 0.5, 0.35um
- Agilent CMOS 0.5um
- Austriamicrosystems CMOS 0.35, 0.25 ,HV CMOS 0.8um
SiGe-BiCMOS 0.35um
- OMMIC/PML GaAs 0.2um
- Vitesse InP

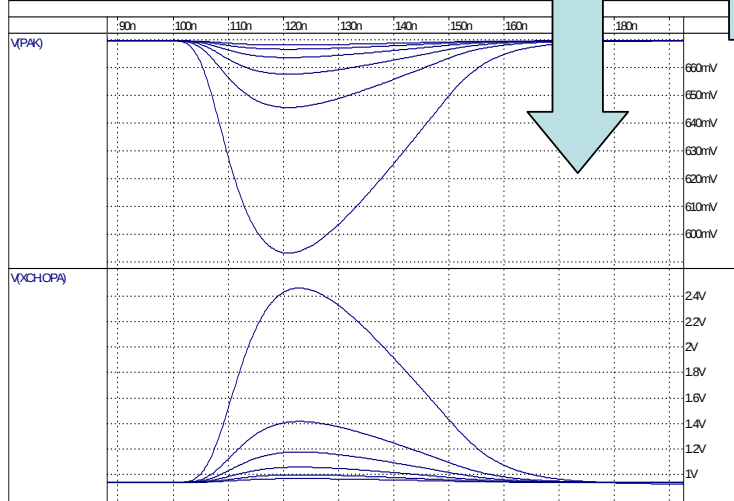
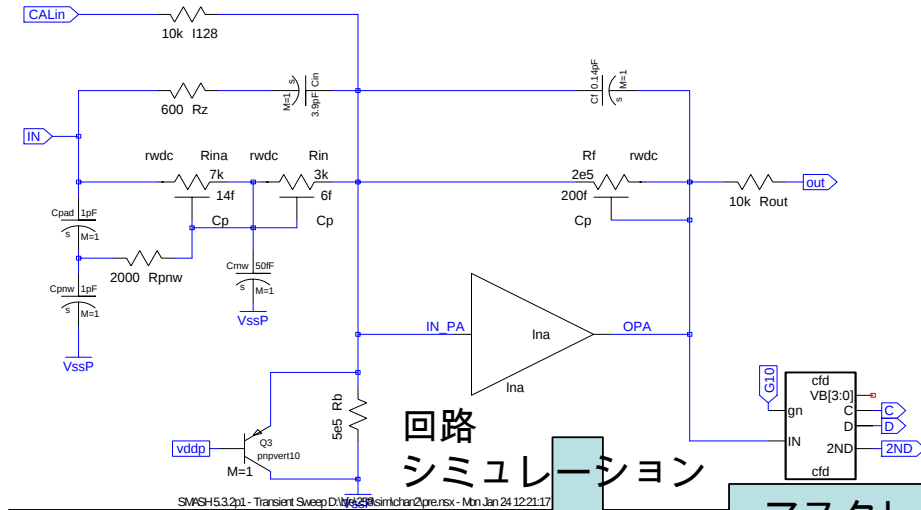
MPW受付窓口

- 米国:MOSIS
- 欧州:Europpractice

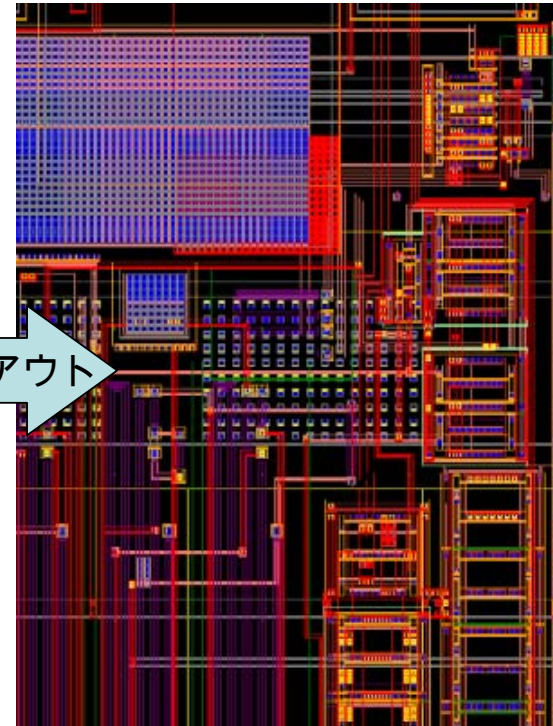


Circuit Simulation/Mask Layout

Confidential



マスクレイアウト

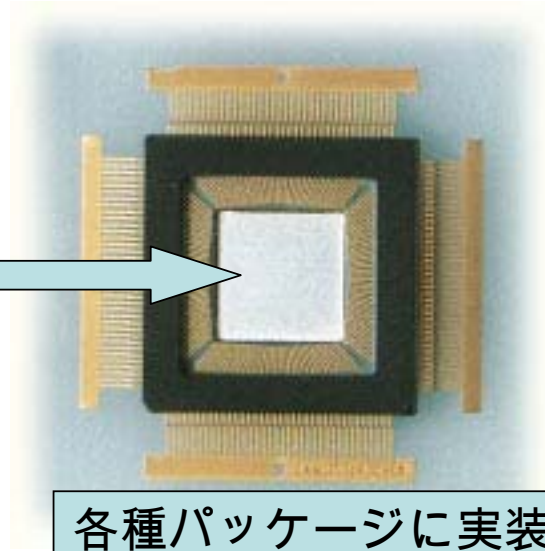
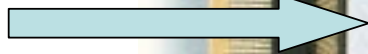


パッケージ実装、完成

Confidential



チップ

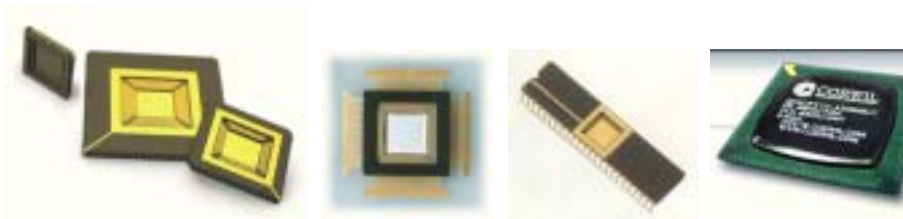


各種パッケージに実装



LSI完成

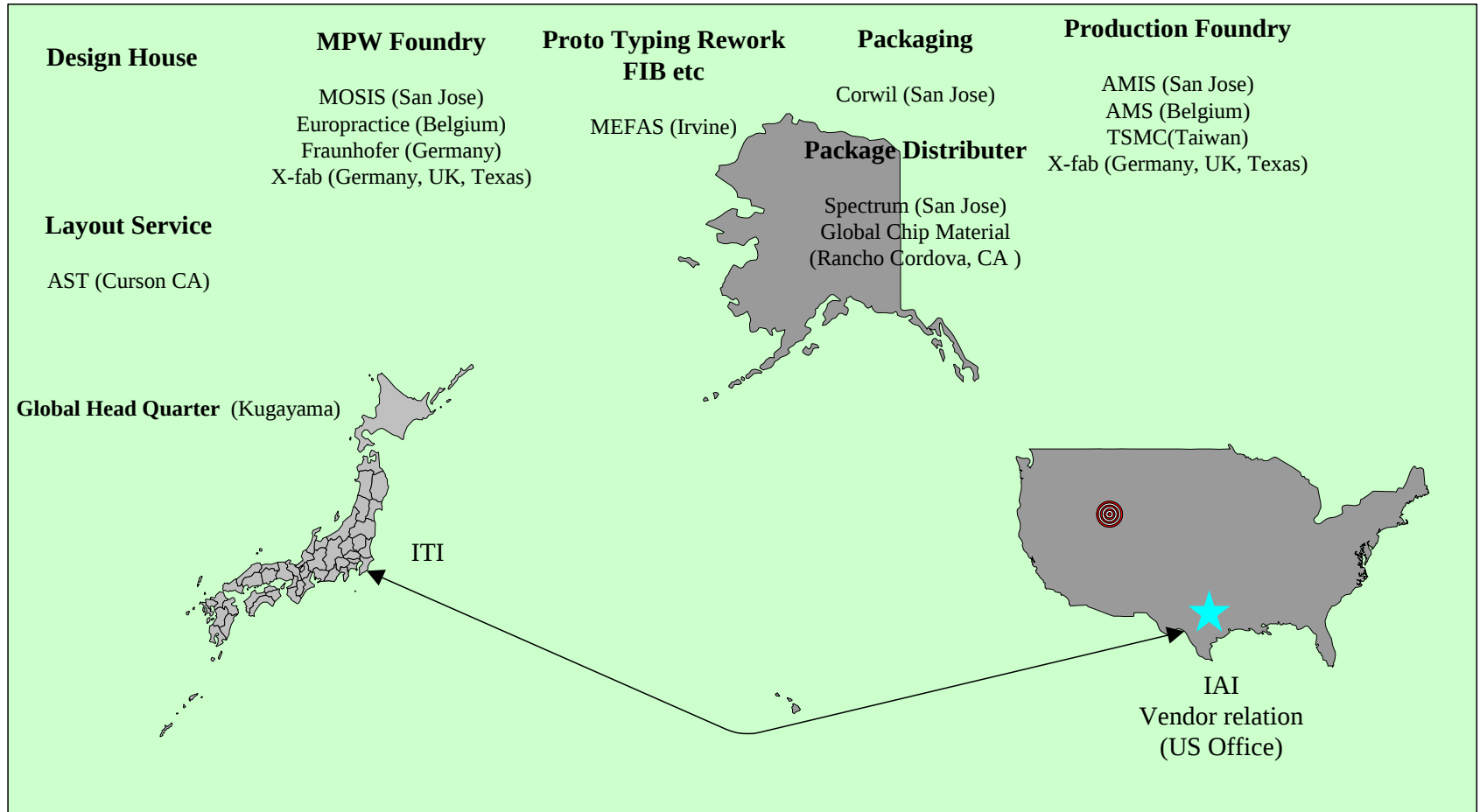
各種パッケージ選択が可能



CQFP
CERDIP
Fine pitch BGA
等

QTC LSI開発体制

Confidential



カスタムCMOS ASIC受託事業について

Confidential

- MPW方式によるCMOS ASIC受託事業を準備しています。
- 当社のネットワークを利用して、LSIを開発されるお客様に対し、ウェハ製造、アセンブリ/テスト、不良解析などICの開発をトータルにサポートしています。
- CMOS ASIC以外にも長年培ってきたアナログ/デジタル技術を有しています。

例えば、

- デジタイザ 1GSPS:8bit ~ 100MSPS:14bit
- USB接続オシロスコープ
- 信号発生器 6ch可変遅延パルス発生器
- その他、各種特注に対応いたします。

ご静聴ありがとうございました